

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MURATA, et al.
Serial No.: Not yet assigned
Filed: August 26, 2003
Title: A SEMICONDUCTOR DEVICE AND A METHOD OF
MANUFACTURING THE SAME
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 26, 2003

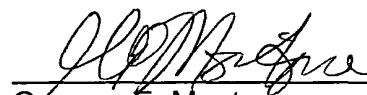
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-274466, filed September 20, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月20日

出 願 番 号

Application Number:

特願2002-274466

[ST.10/C]:

[JP2002-274466]

出 願 人

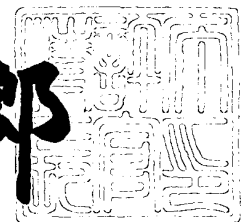
Applicant(s):

株式会社日立製作所

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011614

【書類名】 特許願

【整理番号】 H02010541

【提出日】 平成14年 9月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
H01L 21/88
G06F 17/50

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 村田 知生

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 矢吹 忍

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 山下 毅雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 (a) 第 1 方向に延在する第 1 配線と、

(b) 前記第 1 配線と接続部を介して接続され、前記第 1 方向と直交する第 2 方向に延在する第 2 配線であって、

前記接続部から前記第 2 方向と逆向きの方向に突出した余剰部分を有する第 2 配線と、

を配置する際、

(c) 前記接続部の中心を前記第 1 配線の中心から前記第 2 方向にずらして配置し、

(d) 前記接続部の下部に前記第 1 配線の突出部を配置すること、
を特徴とする半導体装置の製造方法。

【請求項 2】 (a) 第 1 方向に延在し、互いに隣り合う第 1 および第 2 配線と、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 方向と直交する線上に沿って、前記第 2 配線と逆側の方向に延在し、前記第 1 接続部から前記第 2 配線の方向に突出した第 1 余剰部分を有する第 3 配線と、

(c) 前記第 2 配線と第 2 接続部を介して接続され、前記線上に沿って、前記第 1 配線と逆側の方向に延在し、前記第 2 接続部から前記第 1 配線の方向に突出した第 2 余剰部分を有する第 4 配線と、

を配置する際、

(d) 前記第 2 接続部の中心を前記第 2 配線の中心から前記第 1 配線と逆側の方向にずらして配置し、

(e) 前記第 2 接続部の下部に前記第 2 配線の突出部を配置すること、
を特徴とする半導体装置の製造方法。

【請求項 3】 前記第 1 配線の中心と前記第 2 配線の中心間は、配線を配置する際の単位距離であることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記半導体装置の製造方法は、前記第 3 配線と平行に第 5 配線が配置されることを特徴とする請求項 2 または 3 記載の半導体装置の製造方法。

【請求項 5】 前記第 3 配線と前記第 5 配線との距離は、前記第 1 配線と前記第 2 配線間の距離より小さいことを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記第 1 配線と前記第 2 配線間の距離は、最小加工寸法より大きいことを特徴とする請求項 4 または 5 記載の半導体装置の製造方法。

【請求項 7】 前記第 1 および第 2 余剰部分の幅は、
前記第 3 配線の中心と前記第 5 配線の中心との距離 P_1 と前記第 1 配線の中心と前記第 2 配線の中心との距離 P_0 との差 ($P_0 - P_1$) より小さく、
前記第 3 配線の中心と前記第 5 配線の中心との距離 P_1 と前記第 1 配線の中心と前記第 2 配線の中心との距離 P_0 との差の $1/2$ より大きい、
ことを特徴とする請求項 4 ～ 6 のいずれか一項に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 および第 2 配線の幅と前記第 1 および第 2 接続部の幅は、ほぼ同じであることを特徴とする請求項 2 ～ 7 のいずれか一項に記載の半導体装置の製造方法。

【請求項 9】 前記第 1 および第 2 配線の下層には、M I S F E T が配置され、

前記 M I S F E T のゲート電極は、前記第 1 および第 2 配線の配線間に前記第 1 方向に配置されることを特徴とする請求項 2 ～ 8 のいずれか一項に記載の半導体装置の製造方法。

【請求項 10】 前記第 1 および第 2 配線の下層には、M I S F E T が配置され、

前記第 1 配線もしくは前記第 2 配線は、前記 M I S F E T のソース、ドレインもしくはゲート電極と接続されることを特徴とする請求項 2 ～ 9 のいずれか一項に記載の半導体装置の製造方法。

【請求項 11】 前記第 1 接続部の中心は、前記第 1 配線の中心上に配置されることを特徴とする請求項 2 ～ 10 のいずれか一項に記載の半導体装置の製造

方法。

【請求項 1 2】 (f) 前記第 1 接続部の中心を、前記第 1 配線の中心から前記第 2 配線と逆側の方向にずらして配置し、

(g) 前記第 1 接続部の下部に前記第 1 配線の突出部を配置すること、
を特徴とする請求項 2 ～ 1 0 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 3】 (a) 第 1 方向に延在し、互いに隣り合う第 1 および第 2 配線を配置し、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 方向と直交する第 2 方向であって、前記第 2 配線と逆側の方向に延在し、前記第 1 接続部から前記第 2 配線の方向に突出した第 1 余剰部分を有する第 3 配線と、

(c) 前記第 2 配線と第 2 接続部を介して接続され、前記第 2 方向であって、前記第 1 配線と逆側の方向に延在し、前記第 2 接続部から前記第 1 配線の方向に突出した第 2 余剰部分を有する第 4 配線と、を配置し、

(d) 前記第 3 配線および第 4 配線が同一線上に位置し、前記第 1 の余剰部分と前記第 2 の余剰部分との距離が所定の距離以下であるか否かを判定し、

(e) 前記所定の距離以下である場合には、

(f) 前記第 2 接続部の中心を前記第 2 配線の中心から前記第 1 配線と逆側の方向にずらして配置し、

(g) 前記第 2 接続部の下部に前記第 2 配線の突出部を配置すること、
を特徴とする半導体装置の製造方法。

【請求項 1 4】 前記第 1 配線の中心と前記第 2 配線の中心間は、配線を配置する際の単位距離であることを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】 前記半導体装置の製造方法は、前記第 3 配線と平行に第 5 配線が配置されることを特徴とする請求項 1 3 または 1 4 記載の半導体装置の製造方法。

【請求項 1 6】 前記第 3 配線と前記第 5 配線との距離は、前記第 1 配線と前記第 2 配線間の距離より小さいことを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】 前記第 1 配線と前記第 2 配線間の距離は、最小加工寸法より大きいことを特徴とする請求項 1 5 または 1 6 記載の半導体装置の製造方法。

【請求項 1 8】 前記第 1 および第 2 余剰部分の幅は、
前記第 3 配線の中心と前記第 5 配線の中心との距離 $P 1$ と前記第 1 配線の中心と前記第 2 配線の中心との距離 $P 0$ との差 ($P 0 - P 1$) より小さく、
前記第 3 配線の中心と前記第 5 配線の中心との距離 $P 1$ と前記第 1 配線の中心と前記第 2 配線の中心との距離 $P 0$ との差の $1 / 2$ より大きい、
ことを特徴とする請求項 1 5 ～ 1 7 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 9】 前記第 1 および第 2 配線の幅と前記第 1 および第 2 接続部の幅は、ほぼ同じであることを特徴とする請求項 1 3 ～ 1 8 のいずれか一項に記載の半導体装置の製造方法。

【請求項 2 0】 前記第 1 および第 2 配線の下層には、M I S F E T が配置され、

前記 M I S F E T のゲート電極は、前記第 1 および第 2 配線の配線間に前記第 1 方向に配置されることを特徴とする請求項 1 3 ～ 1 9 のいずれか一項に記載の半導体装置の製造方法。

【請求項 2 1】 前記第 1 および第 2 配線の下層には、M I S F E T が配置され、

前記第 1 配線もしくは前記第 2 配線は、前記 M I S F E T のソース、ドレインもしくはゲート電極と接続されることを特徴とする請求項 1 3 ～ 2 0 のいずれか一項に記載の半導体装置の製造方法。

【請求項 2 2】 前記第 1 接続部の中心は、前記第 1 配線の中心上に配置されることを特徴とする請求項 1 3 ～ 2 1 のいずれか一項に記載の半導体装置の製造方法。

【請求項 2 3】 (h) 前記第 1 接続部の中心を、前記第 1 配線の中心から前記第 2 配線と逆側の方向にずらして配置し、

(i) 前記第 1 接続部の下部に前記第 1 配線の突出部を配置すること、
を特徴とする請求項 1 3 ～ 2 2 のいずれか一項に記載の半導体装置の製造方法。

【請求項 2 4】 (a) 第 1 方向に延在する第 1 配線と、
 (b) 前記第 1 配線上の接続部と、
 (c) 前記接続部上に、前記第 1 方向と直交する第 2 方向に延在する端子部であって、
 前記接続部から前記第 2 方向と逆向きの方向に突出した余剰部分を有する端子部と、
 を配置し、
 (d) 前記端子部から前記第 2 方向に第 2 配線を配置すること、
 を特徴とする半導体装置の製造方法。

【請求項 2 5】 (a) 第 1 方向に延在する第 1 配線層の第 1 レイアウトラインおよび前記第 1 方向に直交する第 2 方向に延在する第 2 配線層の第 2 レイアウトラインを規定する工程と、
 (b) 前記第 1 レイアウトラインに沿って第 1 配線を配置する工程であって、前記第 1 レイアウトラインと前記第 2 レイアウトラインとの交点の両側に突出部を有する第 1 配線を仮想的に配置する工程と、
 (c) 前記第 2 レイアウトラインに沿って第 2 配線を配置する工程と、
 (d) 前記第 1 配線および第 2 配線のパターンの重なり領域に接続部を配置する工程と、
 (e) 前記接続部下にのみ前記前記第 1 配線の突出部を配置した前記第 1 配線のパターンを規定する工程と、
 を有することを特徴とする半導体装置の製造方法。

【請求項 2 6】 (a) 第 1 方向に延在する第 1 配線と、
 (b) 前記第 1 配線と接続部を介して接続され、前記第 1 方向と直交する第 2 方向に延在する第 2 配線であって、前記第 2 方向と逆向きの方向に突出した余剰部分を有する第 2 配線と、
 を有する半導体装置であって、
 (c) 前記接続部は、その中心が前記第 1 配線の中心から前記第 2 方向にずれて形成され、
 (d) 前記接続部の下部には、前記第 1 配線の突出部が形成されていること、

を特徴とする半導体装置。

【請求項 2 7】 (a) 第 1 方向に延在し、互いに隣り合う第 1 および第 2 配線と、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 方向と直交する第 2 方向に沿って、前記第 2 配線と逆側の方向に延在し、前記第 1 接続部から前記第 2 配線の方向に突出した第 1 余剰部分を有する第 3 配線と、

(c) 前記第 2 配線と第 2 接続部を介して接続され、前記第 2 方向に沿って、前記第 1 配線と逆側の方向に延在し、前記第 2 接続部から前記第 1 配線の方向に突出した第 2 余剰部分を有する第 4 配線と、

を有する半導体装置であって、

(d) 前記第 2 接続部は、その中心が前記第 2 配線の中心から前記第 1 配線と逆側の方向にずれて形成され、

(e) 前記第 2 接続部の下部には、前記第 2 配線の突出部が形成されていること、

を特徴とする半導体装置。

【請求項 2 8】 前記第 1 配線の中心と前記第 2 配線の中心間の距離は、配線を配置する際の単位距離であることを特徴とする請求項 2 7 記載の半導体装置

。

【請求項 2 9】 前記半導体装置は、前記第 3 配線と平行に形成された第 5 配線を有することを特徴とする請求項 2 7 または 2 8 記載の半導体装置。

【請求項 3 0】 前記第 3 配線と前記第 5 配線との距離は、前記第 1 配線と前記第 2 配線間の距離より小さいことを特徴とする請求項 2 9 記載の半導体装置

。

【請求項 3 1】 前記第 1 配線と前記第 2 配線間の距離は、最小加工寸法より大きいことを特徴とする請求項 2 9 または 3 0 記載の半導体装置。

【請求項 3 2】 前記第 1 および第 2 余剰部分の幅は、

前記第 3 配線の中心と前記第 5 配線の中心との距離 P_1 と前記第 1 配線の中心と前記第 2 配線の中心との距離 P_0 との差 ($P_0 - P_1$) より小さく、

前記第 3 配線の中心と前記第 5 配線の中心との距離 P_1 と前記第 1 配線の中心

と前記第 2 配線の中心との距離 P_0 との差の $1/2$ より大きい、
 ことを特徴とする請求項 29～31 のいずれか一項に記載の半導体装置。

【請求項 33】 前記第 1 および第 2 配線の幅と前記第 1 および第 2 接続部の幅は、ほぼ同じであることを特徴とする請求項 27～32 のいずれか一項に記載の半導体装置。

【請求項 34】 前記半導体装置は、前記第 1 および第 2 配線の下層に、MISFET を有し、

前記 MISFET のゲート電極は、前記第 1 および第 2 配線の配線間に前記第 1 方向に配置されていることを特徴とする請求項 27～33 のいずれか一項に記載の半導体装置。

【請求項 35】 前記半導体装置は、前記第 1 および第 2 配線の下層に、MISFET を有し、

前記第 1 配線もしくは前記第 2 配線は、前記 MISFET のソース、ドレインもしくはゲート電極と接続されていることを特徴とする請求項 27～34 のいずれか一項に記載の半導体装置。

【請求項 36】 前記第 1 接続部の中心は、前記第 1 配線の中心上に配置されていることを特徴とする請求項 27～35 のいずれか一項に記載の半導体装置。

【請求項 37】 (f) 前記第 1 接続部の中心は、その中心が前記第 1 配線の中心から前記第 2 配線と逆側の方向にずれて形成され、

(g) 前記第 1 接続部の下部に前記第 1 配線の突出部が形成されていること、
 を特徴とする請求項 27～35 のいずれか一項に記載の半導体装置。

【請求項 38】 (a) 第 1 方向に延在し、少なくとも 1 つ以上の突出部を有する第 1 配線と、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 接続部から前記第 1 方向と直交する第 2 方向に沿って延在し、且つ、前記第 2 方向と逆方向に前記第 1 接続部から突出した第 1 余剰部分を有する第 2 配線と、
 を有し、

前記第 1 接続部は、前記第 1 配線上および前記突出部上に形成されていること

を特徴とする半導体装置。

【請求項 3 9】 (a) 第 1 方向に延在し、少なくとも 1 つ以上の突出部を有する第 1 配線と、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 接続部から前記第 1 方向と直交する第 2 方向に沿って延在し、且つ、前記第 2 方向と逆方向に前記第 1 接続部から突出した第 1 余剰部分を有する第 2 配線と、

(c) 前記第 1 配線と第 2 接続部を介して接続され、前記第 2 接続部から前記第 1 方向と直交する第 2 方向に沿って延在し、且つ、前記第 2 方向と逆方向に前記第 2 接続部から突出した第 2 余剰部分を有する第 3 配線と、

を有する半導体装置であって、

前記第 1 接続部は前記第 1 配線上に形成され、前記第 2 接続部は前記第 1 配線および前記突出部上に形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、異層間の配線の接続部に適用して有効な技術に関するものである。

【0 0 0 2】

【従来の技術】

半導体素子と配線間、または異なる層の配線間は、接続孔内に形成された導電性膜によって接続される。

【0 0 0 3】

しかしながら、半導体装置の微細化に伴い、以下に示す理由により、リザーバと呼ばれる部位を接続部上の上層配線に設ける技術が検討されている。

【0 0 0 4】

このリザーバとは、配線の一部であって、主たる電流経路となる配線部から突出した突出部（余剰部分、余裕部分）をいう。

【0 0 0 5】

このリザーバの部分は、電流経路としては不要な部分であるが、エレクトロマ

イグレーション（EM）耐性を向上させるために形成される。

【0006】

このエレクトロマイグレーションとは、上層配線と下層配線間に接続部を介して電流が流れる際、配線や接続部を構成する金属原子が移動する現象をいい、その結果、配線や接続部内にボイド（空孔）が生じ、断線や接続抵抗の上昇などの接続不良を起こす。

【0007】

しかしながら、リザーバが存在すると、リザーバが金属原子の供給源となってボイドの発生率を低減し、エレクトロマイグレーション耐性を向上させることができる。

【0008】

また、リザーバが存在することにより、配線と接続部のパターンの合わせ余裕を確保でき、マスクずれが生じた場合であっても配線と接続部との導通を図ることができる。

【0009】

例えば、下記特許文献1（特開2001-44196号公報）には、配線の上部または下部に金属のリザーバ5aを設けることで、エレクトロマイグレーションによるボイドの発生を抑制する技術が開示されている。

【0010】

また、例えば、下記特許文献2（特開平11-186433号公報）には、エレクトロマイグレーション（EM）耐性を向上させるリザーバ部についての記載がある。

【0011】

【特許文献1】

特開2001-44196号公報

【0012】

【特許文献2】

特開平11-186433号公報

【0013】

【発明が解決しようとする課題】

本発明者は、半導体装置の研究・開発に従事しており、リザーバ部を設けることでEM耐性を向上させることを検討している。

【0014】

一方、各層の配線やこれらの間の接続部のパターンは、例えば、自動配線ツール（CAD（computer aided design）システム）を用いて配置（レイアウト）される。この際、配線や接続部のパターンが、高密度に配置されるよう最適化される。

【0015】

しかしながら、リザーバを設けない場合には配線エラーとならないレイアウトにおいて、リザーバを設けた場合には、配線ルールエラー（バイオレーション）となり、追って詳細に説明するように配線効率（配線の実装効率）が低下するといった問題が生じた。

【0016】

本発明の目的は、配線の実装効率を向上することにある。また、配線間の接続精度を向上することにある。

【0017】

また、本発明の他の目的は、半導体装置の微細化もしくは高密度化を図ることにある。また、半導体装置の高性能化を図ることにある。

【0018】

本発明の目的ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】

（１）本発明の半導体装置の製造方法は、（a）第１方向に延在する第１配線と、（b）前記第１配線と接続部を介して接続され、前記第１方向と直交する第

2 方向に延在する第 2 配線であって、前記接続部から前記第 2 方向と逆向きの方向に突出した余剰部分を有する第 2 配線と、を配置する際、(c) 前記接続部の中心を前記第 1 配線の中心から前記第 2 方向にずらして配置し、(d) 前記接続部の下部に前記第 1 配線の突出部を配置するものである。

【 0 0 2 1 】

(2) 本発明の半導体装置は、(a) 第 1 方向に延在する第 1 配線と、(b) 前記第 1 配線と接続部を介して接続され、前記第 1 方向と直交する第 2 方向に延在する第 2 配線であって、前記第 2 方向と逆向きの方向に突出した第 1 余剰部分を有する第 2 配線と、を有する半導体装置であって、(c) 前記接続部は、その中心が前記第 1 配線の中心から前記第 2 方向にずれて形成され、(d) 前記接続部の下部には、前記前記第 1 配線の突出部が形成されているものである。

【 0 0 2 2 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 3 】

(実施の形態 1)

本実施の形態の半導体装置の配線等の配置方法を図面を参照しながら説明する。

【 0 0 2 4 】

図 1 は、第 0 層配線 M0 a、M0 b、第 1 層配線 M1 a～M1 e および第 0 層配線と第 1 層配線との接続部 TH0 a、TH0 b 等の平面パターンを示す平面図である。また、図 2 は、図 1 のレイアウトのうち、第 0 層配線 M0 a、M0 b の平面パターンを示す図であり、図 3 は、図 1 の A-A' 部に対応する要部断面図である。なお、配線間には、層間絶縁膜が存在する。

【 0 0 2 5 】

図 1～図 3 を参照しながら、本実施の形態の半導体装置の配線等の配置状態を示す。

【 0 0 2 6 】

第 0 層配線 M 0 a および M 0 b は、Y 方向に延在するグリッド（レイアウトライン、チャネル）y 1、y 2 に沿って配置されている。このグリッドとは、X 方向もしくは Y 方向に等間隔で規定されたライン（格子）であり、各層の最小配線間隔を規定するものである。

【 0 0 2 7 】

また、第 1 層配線 M 1 a および M 1 b は、それぞれ第 0 層配線 M 0 a および M 0 b と接続部 T H 0 a および T H 0 b を介して電氣的に接続されている。この第 1 層配線 M 1 a および M 1 b は、X 方向に延在するグリッド x 1 に沿って配置されている。

【 0 0 2 8 】

即ち、第 1 層配線 M 1 a は、接続部 T H 0 a 上から図中の左側（M 0 b と逆側の方向）に延在し、第 1 層配線 M 1 b は、接続部 T H 0 b 上から図中の右側（M 0 a と逆側の方向）に延在する。

【 0 0 2 9 】

また、第 1 層配線 M 1 a は、接続部 T H 0 a 上から図中の右側に突出したリザーバ（余剰部分、余裕部分）R a を有し、第 1 層配線 M 1 b は、接続部 T H 0 b 上から図中の左側に突出したリザーバ R b を有する。

【 0 0 3 0 】

また、距離 P 0（拡散ピッチ）は、グリッド y 1 と y 2 間の距離である。即ち、第 0 層配線 M 0 間のスペース S 0 と第 0 層配線の幅 W 0 との和である。また、距離 P 1 は、グリッド x 2 と x 3（x 1 と x 2）間距離で、第 1 層配線間のスペース S 1 と第 1 層配線の幅 W 1 との和である。この距離 P 0 と P 1 は、 $P 1 < P 0$ の関係にある。

【 0 0 3 1 】

図 7 は、第 0 層配線 M 0 の下層に M I S F E T（Metal Insulator Semiconductor Field Effect Transistor）を形成した場合の要部断面図であり、図 8 は、第 0 層配線 M 0 と M I S F E T のゲート電極 F G とのパターンの関係を示す平面図である。図 8 の B - B' 方向の断面が図 7 に対応している。

【 0 0 3 2 】

例えば、図 7 および図 8 に示すように、第 0 層配線 M 0 の下層に M I S F E T が形成され、第 0 層配線 M 0 間にゲート電極 F G を Y 方向に配置し、M I S F E T のソース、ドレイン領域 S / D と第 0 層配線 M 0 とを接続部 L C N T を介して接続する場合、ゲート電極 F G と接続部 L C N T とのショート（短絡）を防止するため、これらの間にある程度の余裕を設ける必要がある。M I S F E T の微細化は進んでいるが、第 0 層配線 M 0 の間隔を最小加工寸法（配線幅＝配線間隔＝F）とすることができない場合が多い。これに対して、第 1 層配線 M 1 は、下層の素子等のレイアウトの影響を受けないため、最小加工寸法で配置することが可能となる。

【 0 0 3 3 】

このように、第 0 層配線間（グリッド y 間）が第 1 層配線間（グリッド x 間）より大きくなる（ $P 1 < P 0$ ）場合が多い。

【 0 0 3 4 】

図 7 に各部位の寸法の一例を示す。図 7 に示すように、 $P 0$ は、 $0.42 \mu m$ 、 $S 0$ は、 $0.24 \mu m$ 、 $W 0$ は、 $0.18 \mu m$ で、リザーバ長 $L r e s$ は、 $0.06 \mu m$ である。リザーバ長とは、接続部 T H 0 のリザーバ側の端部からリザーバの端部までの距離をいう。また、 $S 1$ および $W 1$ は、例えば $0.18 \mu m$ で、 $P 1$ は、 $0.36 \mu m$ である。また、図 7 に示すように、第 1 層配線 M 1 の上部には、層間絶縁膜を介して第 0 層配線 M 0 と同じ方向（Y 方向）に延在する第 2 層配線 M 2 を配置してもよく、この第 2 層配線 M 2 の幅および間隔は、例えば $0.18 \mu m$ で、この数値は、例えば、配線間に許容される最小の寸法である。第 1 層配線 M 1 と第 2 層配線 M 2 は、例えば接続部 T H 1 を介して接続される。

【 0 0 3 5 】

なお、図 7 においては、M I S F E T のソース、ドレイン領域 S / D と第 0 層配線 M 0 とを接続部 L C N T を介して接続しているが、図 3 8 に示すように、ゲート電極 F G を第 0 層配線 M 0 と接続部 L C N T を介して接続してもよい。ゲート電極上の接続部を F C N T と示す場合もあるが、便宜上ここでは L C N T と示す。

【 0 0 3 6 】

図 3 8 の左図は、ゲート電極 F G に突出部（配線部）を設け、この突出部を接続部 L C N T を介して第 0 層配線 M 0 と接続する場合であり、図 3 8 の右図は、ゲート電極 F G 上に接続部 L C N T を設け、さらにその上部に第 0 層配線 M 0 を配置した場合である。

【 0 0 3 7 】

このように、第 0 層配線 M 0 は、M I S F E T のソース、ドレイン領域 S / D 上のみならず、ゲート電極 F G 上に配置されることもある。このように配置することで、ゲート電極 F G への給電経路を短縮することができる。

【 0 0 3 8 】

ここで、図 1 等に示すように、第 0 層配線 M 0 b 上の接続部 T H 0 b は、その中心がグリッド y 2 と x 1 の交点から距離 L 1（図 7 の場合、 $0.06\mu\text{m}$ ）だけ右側にずれている。一方、第 0 層配線 M 0 a 上の接続部 T H 0 a は、その中心がグリッド x 1 と y 1 の交点にある（図 1）。

【 0 0 3 9 】

また、第 0 層配線 M 0 b 上の接続部 T H 0 b 下には、第 0 層配線 M 0 b のノッチ（突出部、幅広部）N b が形成されている（図 2 参照）。すなわち、接続部 T H 0 b は第 0 層配線 M 0 b 上およびノッチ N b 上に位置し、第 1 配線層 M 1 b と接続するように形成されている。このノッチ N b の X 方向の長さは、距離 L 1 と同じとすることが好ましい。例えば、図 7 においては、 $0.06\mu\text{m}$ である。なお、第 0 層配線 M 0 は、配線間に許容される最小の寸法以上の間隔をおいて配置されているため、ノッチを設けても必要な配線間隔は確保することができる。

【 0 0 4 0 】

このように、本実施の形態においては、隣合うグリッド上に配置された第 0 層配線上に、同一線上に互いに逆方向に延在する第 1 層配線を配置する際、第 0 層配線上の接続部をその上部の第 1 層配線が延在する方向にずらして配置し、さらに、ずらした接続部下の第 0 層配線にノッチを設けた。

【 0 0 4 1 】

その結果、第 1 層配線にリザーバを設けた場合であっても、リザーバ R a と R

bもしくはR dとR eのような各リザーバ間の間隔を確保できる。すなわち、同一グリッド上に配置された第1層配線のX方向の間隔を確保できるため配線密度を高めることが可能となり、配線の実装効率を向上させることができる。

【0042】

例えば、図4に示すように、第0層配線M0 b上の接続部TH0 bの中心を、グリッドy2とx1の交点に配置した場合には、第1層配線のX方向の間隔が、図1の場合より小さくなり、この間が規定の距離以下となると配線ルールエラー(space error)となる。図5は、図4のレイアウトのうち、第0層配線M0 a、M0 bの平面パターンを示す図であり、図6は、図4のC-C'部に対応する要部断面図である。

【0043】

配線ルールエラーが生じた場合には、第1層配線M1 bは、他のグリッド、例えば、グリッドx2に移動(move)せざるを得ない(図4)。これに伴って、第1層配線M1 cは、グリッドx2を避けて配置せざるを得なくなり、配線配置の自由度が大きく失われる。たとえばこの場合、他のグリッド(例えばグリッドx3)上に移動するというような手段をとらなければならず、これらの配線(M1 a~M1 c)の配置に必要なグリッド数の増大を招き、実効面積が大きくなる。即ち、配線の実効効率が低下する。

【0044】

これに対し、本実施の形態の配線等の配置方法によれば、前述した通り、リザーバを設けた場合であっても、第1層配線M1 cの領域を、グリッドx2上に確保することができる。すなわち、同一グリッド上に配置された第1層配線のX方向の間隔を確保できるため、Y方向で隣り合うグリッドに第1層配線M1 cのような他の配線(Another net)を配置することが可能となる。これにより配線の自由度を向上させることができ、また、配線の密度・実装効率を向上させることができる。その結果、半導体装置の微細化(チップの縮小化)や高集積化を図ることができる。この第1層配線M1 c(Another net)は、第0層配線M0 a、M0 bには接続されない配線で、例えばX方向に離隔して配置されている他の第0層配線M0又はX方向に離隔した位置で、第1層配線M1の上層の第2層配線

M2に電氣的に接続される。

【0045】

追って詳細に説明するが、半導体装置は、複数の素子間が多層の配線で接続されており、例えば、単位セル当たり1グリッドのセル面積の縮小化であっても、半導体装置全体においては、大きな効果を得ることができる。

【0046】

また、各素子間を接続する配線の長さを短縮でき、半導体装置の高速駆動を実現できる。また、配線の長さを短縮することにより、配線抵抗を小さくでき、半導体装置の低消費電力化を図ることができる。このように、半導体装置の信頼性の向上を図ることができる。

【0047】

また、図1等にした通り、接続部TH0a、TH0b上の第1層配線M1a、M1bに、リザーバRa、Rbを設けたので、配線や接続部を構成する金属原子が移動しても、リザーバが金属原子の供給源となってボイドの発生率を低減し、エレクトロマイグレーション（EM）耐性を向上させる。また、配線と接続部のパターンの合わせ余裕を確保でき、マスクずれが生じた場合であっても配線と接続部との導通を図ることができる。このように、配線間の接続精度を向上することができ、半導体装置の信頼性の向上を図ることができる。

【0048】

次に、リザーバ長Lresについて説明する。リザーバ長は、EM耐性の向上のためにはできるだけ長い方が好ましいが、あまり長くすると、配線の実装効率が低下してしまう。図9は、リザーバ長Lresと接続部THの配置率との関係を示す図表である。

【0049】

例えば、図9に示すように、Y方向に並んで延在する6つの第0層配線M0上に、接続部THを介して第1層配線M1を配置する場合を考える。

【0050】

ケース1に示すように、リザーバ長Lresを、距離P0と距離P1との差の1/2以下（ $Lres \leq (P0 - P1) / 2$ ）とした場合、同じグリッドx上に

並んで接続部THを配置することが可能である。即ち、接続部配置率（TH配置率）は、100%となる。なお、第0層配線M0、第1層配線M1と接続部THの配線幅は同じで、この幅および第1層配線M1間は、最小加工寸法であるとする。

【0051】

ケース2に示すように、リザーバ長Lresを、距離P0と距離P1との差の $1/2$ より大きく、距離P0と距離P1との差以下（ $(P0 - P1) / 2 < Lres \leq (P0 - P1)$ ）とした場合、同じグリッドx上の各グリッドyとの交点には、接続部THは連続して3つしか配置できなくなり、次のグリッドy上には配置することができない。このケース2をケース1と比較すると、その接続部配置率（TH配置率）は75%となる。なお、この場合第0層配線M0と接続部THの中心をずらす必要がある。しかしながら、ケース1と比較してリザーバ長を長くできるため、EM耐性を向上することが可能となり、配線の信頼性を高めることができる。

【0052】

ケース3に示すように、リザーバ長Lresを、距離P0と距離P1との差より大きく、距離P0と距離P1との差の2倍以下（ $(P0 - P1) < Lres \leq 2(P0 - P1)$ ）とした場合、配線のEM耐性を向上することができるが、同じグリッドx上の各グリッドyとの交点には、接続部THは連続して2つしか配置できなくなり、次のグリッドy上には配置することができない。その結果、ケース1と比較すると接続部配置率は66.7%となる。なお、この場合も第0層配線M0と接続部THの中心をずらす必要がある。

【0053】

なお、リザーバ長Lresを、距離P0と距離P1との差の $1/2$ より大きく（ $(P0 - P1) / 2 < Lres$ ）し、第0層配線M0と接続部THの中心をずらさない場合は、接続部配置率は、50%となる。

【0054】

従って、ケース1～3のいずれの場合も、接続部配置率が向上するが、ケース1の場合には、リザーバ長が相対的に短いためEM耐性が低下する。また、ケー

ス 3 の場合には、配線の中心部と接続部とのずれが大きくなるためノッチが大きくなり、配線配置の自由度が大きく失われる。よって、同一グリッド x を避けて第 1 層配線 $M1$ を配置せざるを得なくなり、配線の実効面積が劣化する恐れがある。また、配線経路が複雑となり、信号伝達の遅延を引き起こす恐れがある。

【 0 0 5 5 】

従って、ケース 2、即ち、リザーバ長 L_{res} としては、距離 $P0$ と距離 $P1$ との差の $1/2$ より大きく、距離 $P0$ と距離 $P1$ との差以下 $((P0 - P1) / 2 < L_{res} \leq (P0 - P1))$ とするのが好ましいと考えられる。

【 0 0 5 6 】

また、リザーバ長 L_{res} の定義をケース 1 にした場合においても、第 0 層配線 $M0$ にノッチ N を設け、接続部 TH の配置を第 0 層配線 $M0$ の中心とずらして形成してもよい。すなわち、ケース 2 およびケース 3 のようにノッチ N を設け、そのノッチ N 上に接続部 TH を形成することが可能である。同様にリザーバ長 L_{res} の定義をケース 2 にした場合においても、ケース 3 のようなより長いノッチ N 上に接続部 TH を形成することも可能である。

【 0 0 5 7 】

また、これらのケース 1 ～ 3 を各配線層の配線密度の程度によってそれぞれ組み合わせて用いてもよい。すなわち、配線を密に配置する必要が無いとき、もしくは、配線の信頼性を確保したい場合には、ケース 3 の方式に従って配置されている配線領域があってもよいし、逆に配線密度を高くして配置しなければならない場合にはケース 1 の方式(リザーバ長定義と配置方法)を用いてもよい。

【 0 0 5 8 】

なお、前述の例では、例えば、グリッド $x1$ 上の接続部 $TH0a$ 、 $TH0b$ のうち、 $TH0b$ の中心を右側にずらしたが、 $TH0a$ の中心を左側にずらしてもよい。

【 0 0 5 9 】

このように、同じグリッド y 上に配置される第 1 層配線下の接続部のうち、その中心を左側にずらす場合の例を、第 1 層配線 $M1d$ 部を例に説明する(図 1 参照)。

【 0 0 6 0 】

即ち、グリッド x 3 に沿って配置される第 1 層配線 M 1 d および M 1 e は、それぞれ第 0 層配線 M 0 a および M 0 b と接続部 T H 0 d および T H 0 e を介して電氣的に接続されている。

【 0 0 6 1 】

即ち、第 1 層配線 M 1 d は、接続部 T H 0 d 上から図中の左側に延在し、第 1 層配線 M 1 e は、接続部 T H 0 e 上から図中の右側に延在する。

【 0 0 6 2 】

また、第 1 層配線 M 1 d は、接続部 T H 0 d 上から図中の右側に突出したリザーバ R d を有し、第 1 層配線 M 1 e は、接続部 T H 0 e 上から図中の左側に突出したリザーバ R e を有する。なお、距離 P 0 と P 1 は、 $P 1 < P 0$ の関係にある。

【 0 0 6 3 】

ここで、第 0 層配線 M 0 b 上の接続部 T H 0 d は、その中心がグリッド y 1 と x 3 の交点から距離 L 1 だけ左側にずれている。一方、第 0 層配線 M 0 a 上の接続部 T H 0 e は、その中心がグリッド y 2 と x 3 の交点にある。

【 0 0 6 4 】

また、第 0 層配線 M 0 a 上の接続部 T H 0 d 下には、第 0 層配線 M 0 a のノッチ N d が形成されている（図 2 参照）。なお、第 0 層配線 M 0 は、最小加工寸法で配置されていないため、ノッチを設けても必要な配線間隔は確保することができる。

【 0 0 6 5 】

このように、接続部 T H 0 d の中心を左側にずらし、第 0 層配線 M 0 a に、ノッチ N d を設けたので、第 1 層配線（M 1 d、M 1 e）にリザーバ R d、R e を設けた場合であっても、これらの X 方向の間隔を確保でき、配線の実装効率を向上させることができる。

【 0 0 6 6 】

（実施の形態 2）

半導体装置は、コンピュータを利用し設計される（CAD）。CAD は、LSI

I (Large Scale Integrated Circuit) を短期間に開発するためには必要不可欠なものとなっている。このCADに使用するコンピュータシステム(CADシステム)は、CADツール群により構成され、各設計工程に応じて種々のCADツールが使用される。言い換えれば、CADツールは、特定目的用に開発されたソフトウェアである。

【0067】

従って、実施の形態1で説明した配線もCADツールを用いて自動的に配置することが可能である。

【0068】

以下、本実施の形態においては、実施の形態1で説明した配線のレイアウトを実現するためのCADツール(自動配置配線ツール)について説明する。なお、本実施の形態のCADツールを用いて配置される配線等の形状等は、実施の形態1において図1等を参照しながら説明したレイアウトと同様であり、ここでは、その詳細な説明を省略する。

【0069】

実施の形態1で説明したように、配線のレイアウトには種々の条件がある。a) 第0層配線M0は、グリッドy上に配置する。b) 第1層配線M1は、グリッドx上に配置する。c) 第0層配線と第1層配線との接続部TH0は、グリッドxとグリッドyの交点に配置する。d) 第1層配線M1には、リザーバを設ける。

【0070】

(1) まず、第0層配線M0上に接続部TH0および第1層配線M1を配置するモデル(M0モデル)について図10を参照しながら説明する。

【0071】

第0層配線M0a、M0bは、本CADツールの前段階の工程で最適配置されているものとする。

【0072】

この第0層配線M0a、M0bに、第1層配線M1a、M1bを最適配置する。ここでは、リザーバ長を考慮せず配置する。

【 0 0 7 3 】

次いで、接続部 $TH0a$ 、 $TH0b$ を第 0 層配線 $M0$ と第 1 層配線 $M1$ との交点に配置する。

【 0 0 7 4 】

次いで、第 1 層配線 $M1$ にリザーバ Ra 、 Rb を追加し、これらの X 方向の距離が所定の長さ以上であるかどうかを判断する。所定の長さとは、例えば、配線間に許容される最小の寸法である。

【 0 0 7 5 】

所定の長さ以下の場合には、第 1 層配線 $M1$ 下のいずれか一方の接続部 $TH0$ を第 1 層配線の延在方向にずらす。図 10 では、接続部 $TH0b$ を右側に距離 $L1$ だけずらしている。

【 0 0 7 6 】

さらに、ずらした接続部下に第 0 層配線 $M0$ のノッチ N を追加する。図 10 では、第 0 層配線 $M0b$ にノッチ Nb を追加している。

【 0 0 7 7 】

なお、これらの工程を経ず、リザーバを含めた第 1 層配線 $M1$ をその下部の接続部 $TH0$ がグリッドの交点から第 1 層配線 $M1$ が延在する方向にずれて配置することを許容するプログラムを用いて第 1 層配線 $M1$ および接続部 $TH0$ 等を配置してもよい。

【 0 0 7 8 】

(2) 次に、第 0 層配線 $M0$ 上にずらして配置した接続部 $TH0$ およびその上部の端子部 T (第 1 層配線 $M1$ の一部) を規定しておき、端子部 T を起点に第 1 層配線を配置するモデル ($M1$ モデル) について図 11 を参照しながら説明する。

【 0 0 7 9 】

即ち、グリッド $y1$ 、 $y2$ 上に最適配置されている第 0 層配線 $M0a$ 、 $M0b$ 上の、グリッド $x1$ との交点部の接続部 $TH0$ のうち一方を、その中心が前記交点部から X 方向にずれるよう配置する。図 11 では、接続部 $TH0b$ を、距離 $L1$ だけ右側にずらしてある。この接続部 $TH0b$ 上に、接続部 $TH0b$ の中心を

ずらした方向と逆側の方向にリザーバR bを有する端子部T bを配置する。さらに、ずらした端子部T b下の第0層配線M 0 bにはノッチN bを設ける。

【0080】

また、他方の接続部T H 0 aをグリッドx 1との交点部上に配置し、この接続部T H 0 a上に、接続部T H 0 a上から右側にリザーバR aを有する端子部T aを配置する。

【0081】

この端子部T a、T bの位置情報を基に、端子部TからリザーバRとは逆側の方向に第1層配線M 1が延在するよう第1層配線M 1を自動配置する。言い換えれば、端子部Tを起点に第1層配線M 1を最適配置する。

【0082】

このM 1モデルにおいては、接続部T H 0（端子部T）の位置があらかじめ限定されるため、場合によっては、前記M 0モデルより配線の実装効率が低下する恐れがある。

【0083】

しかしながら、このM 1モデルにおいては、第1層配線M 1の配置条件が少なくなり配線設計のT A T（turn around time）を短縮することができる。

【0084】

即ち、M 0モデルにおいては、第0層配線M 0に対する接続部T H 0およびその上部の第1層配線M 1の配置の組み合わせを網羅的に行いながら配線設計（実装）を行う必要がある。

【0085】

例えば、図1に示した場合においても、第0層配線M 0上の3交点に接続部T H 0を配置することが可能であり、設計の自由度が大きい分、最適配置の確定に時間がかかる。特に、M 0モデルにおいて、接続部T H 0をグリッドの交点に配置するという条件を外し、グリッドの交点からずれて配置することを許容する場合には、さらに、最適配置の確定に時間がかかる。

【0086】

図1においては、グリッド2×3の領域を示したにすぎないが、実際は複数の

素子（セル）間が多層の配線等で接続されており、これらの接続の組み合わせを網羅的に行いながら配線設計を行うには、コンピュータの計算能力の向上が必要であり、また、計算時間も長くなる。

【 0 0 8 7 】

これに対し、M1モデルにおいては、配線設計のTATを短縮することができ、また、一般的なCADシステムを用いることができる。

【 0 0 8 8 】

（実施の形態3）

実施の形態1においては、隣り合う接続部TH0a、TH0bのうち接続部TH0aのみをずらして配置したが（図1参照）、隣り合う接続部TH0a、TH0bをそれぞれ逆方向（離れる方向）にずらしても良い。

【 0 0 8 9 】

本実施の形態の半導体装置の配線等の配置方法を図面を参照しながら説明する。なお、接続部および第1層配線の配置位置等を除いては、実施の形態1と同様であるため対応する部位に同符号を付し、異なる部分についてのみ詳細に説明する。

【 0 0 9 0 】

図12は、第0層配線M0a、M0b、第1層配線M1a～M1eおよび第0層配線と第1層配線との接続部TH0a、TH0b等の平面パターンを示す平面図である。また、図13は、図12のレイアウトのうち、第0層配線M0a、M0bの平面パターンを示す図であり、図14は、図12のD-D'部に対応する要部断面図である。

【 0 0 9 1 】

図12～図14を参照しながら、本実施の形態の半導体装置の配線等の配置状態を説明する。

【 0 0 9 2 】

第0層配線M0aおよびM0bは、グリッドy1、y2に沿って配置され、グリッドx1に沿って配置されている第1層配線M1aおよびM1bと、接続部TH0aおよびTH0bを介して電氣的に接続されている。

【0093】

即ち、第1層配線M1aは、接続部TH0a上から図中の左側に延在し、第1層配線M1bは、接続部TH0b上から図中の右側に延在する。

【0094】

また、第1層配線M1aは、接続部TH0a上から図中の右側に突出したりリザーバRaを有し、第1層配線M1bは、接続部TH0b上から図中の左側に突出したりリザーバRbを有する。

【0095】

また、距離P0は、グリッドy1とy2間の距離で、第0層配線間のスペースS0と第0層配線の幅W0との和である。また、距離P1は、グリッドx1とx2間距離で、第1層配線間のスペースS1と第1層配線の幅W1との和である。この距離P1とP0は、 $P1 < P0$ の関係にある。

【0096】

実施の形態1で説明したように、第0層配線M0の下層に、ゲート電極FGがY方向に配置される場合には、 $P1 < P0$ の関係となることが多い。

【0097】

図15に、第0層配線M0とMISFETのゲート電極FGとのパターンの関係を示す。図16に、第0層配線M0の下層にMISFETを形成した場合の要部断面図を示す。図15のE-E'方向の断面が図16に対応している。

【0098】

図16に示すように、例えば、P0は、 $0.42\mu\text{m}$ 、S0は、 $0.24\mu\text{m}$ 、W0は、 $0.18\mu\text{m}$ で、リザーバ長Lresは、 $0.06\mu\text{m}$ である。また、S1およびW1は、 $0.18\mu\text{m}$ で、P1は、 $0.36\mu\text{m}$ である。また、第2層配線M2の幅および間隔は、 $0.18\mu\text{m}$ である。

【0099】

ここで、図12等 to 示すように、第0層配線M0b上の接続部TH0bは、その中心がグリッドy2とx1の交点からから距離L2だけ右側にずれている。また、第0層配線M0a上の接続部TH0aは、その中心がグリッドy1とx1の交点からから距離L2だけ左側にずれている。距離L2は、例えば $0.03\mu\text{m}$

である（図 1 6）。

【 0 1 0 0 】

また、第 0 層配線 M 0 a 上の接続部 T H 0 a 下には、第 0 層配線 M 0 a のノッチ N a が形成され、第 0 層配線 M 0 b 上の接続部 T H 0 b 下には、第 0 層配線 M 0 b のノッチ N b が形成されている（図 1 3 参照）。このノッチ N a、N b の長さは、距離 L 2 と同じとすることが好ましい。図 1 6 においては、例えば 0. 0 3 μ m である。なお、第 0 層配線 M 0 は、配線間に許容される最小の寸法以上の間隔をおいて配置されているため、ノッチを設けても必要な配線間隔は確保することができる。

【 0 1 0 1 】

このように、本実施の形態においては、隣り合うグリッド上に配置された第 0 層配線上に、同一のグリッド上に互いに逆方向に延在する第 1 層配線を配置する際、第 0 層配線上の 2 つの接続部を、その上部の第 1 層配線が延在する方向にそれぞれずらして配置し、さらに、ずらした接続部下の第 0 層配線にノッチを設けた。

【 0 1 0 2 】

その結果、第 1 層配線にリザーバを設けた場合であっても、これら第 1 層配線の X 方向の間隔を確保でき、配線の実装効率を向上させることができる。

【 0 1 0 3 】

また、同一グリッド上に配置された第 1 層配線の X 方向の間隔を確保できるため、Y 方向で隣り合うグリッドに第 1 層配線 M 1 c のような他の配線を配置することが可能となる。これにより配線の自由度を向上させることができ、配線の密度・実装効率を向上させることができる。

【 0 1 0 4 】

また、各素子間を接続する配線の長さを短縮でき、半導体装置の駆動の高速化、低消費電力化を図ることができ、半導体装置の信頼性の向上を図ることができる。

【 0 1 0 5 】

また、リザーバを設けることにより E M 耐性を向上させ、また、配線と接続部

のパターンの合わせ余裕を確保できる。このように、半導体装置の信頼性の向上を図ることができる。

【0106】

また、本実施の形態においても、図9に示すケース1～3を実施の形態1と同様に、各配線層の配線密度の程度によってそれぞれ組み合わせて用いてもよい。

【0107】

また、後述の実施の形態4の(3-3)で説明を加えるが、配線レイアウトを最適化するため、リザーバ長 L_{res} を、距離 P_0 と距離 P_1 との差の $1/2$ より大きく、距離 P_0 と距離 P_1 との差以下 $((P_0 - P_1) / 2 < L_{res} \leq (P_0 - P_1))$ とするのがより好ましい。

【0108】

なお、第1層配線 $M1d$ および $M1e$ は、それぞれ第0層配線 $M0a$ および $M0b$ と接続部 $TH0d$ および $TH0e$ を介して電氣的に接続され、これらの接続部も、接続部 $TH0a$ および $TH0b$ と同様、それぞれ逆方向(離れる方向)にずれて配置されている(図12)。

【0109】

(実施の形態4)

本実施の形態においては、実施の形態3で説明した配線のレイアウトを実現するためのCADツールについて説明する。なお、本実施の形態のCADツールを用いて配置される配線等の形状等は、実施の形態3において図12等を参照しながら説明したレイアウトと同様であり、ここでは、その詳細な説明を省略する。

【0110】

(1) 第0層配線 $M0$ 上に接続部 $TH0$ および第1層配線 $M1$ を配置するモデル($M0$ モデル)について図17を参照しながら説明する。

【0111】

第0層配線 $M0a$ 、 $M0b$ は、本CADツールの前段階の工程で最適配置されているものとする。

【0112】

この第0層配線 $M0a$ 、 $M0b$ に、第1層配線 $M1a$ 、 $M1b$ を最適配置する

。ここでは、リザーバ長を考慮せず配置する。

【0 1 1 3】

次いで、接続部 $TH0a$ 、 $TH0b$ を第 0 層配線 $M0$ と第 1 層配線 $M1$ との交点に配置する。

【0 1 1 4】

次いで、第 1 層配線 $M1$ にリザーバ Ra 、 Rb を追加し、これらの間の X 方向の距離が所定の長さ（配線間に許容される最小の寸法）以上であるかどうかを判断する。

【0 1 1 5】

所定の長さ以下の場合には、第 1 層配線 $M1$ 下の両方の接続部 $TH0a$ 、 $TH0b$ をその上部の第 1 層配線 $M1$ の延在方向にそれぞれ距離 $L2$ だけずらす。即ち、隣り合う接続部をそれぞれ逆方向（離れる方向）に距離 $L2$ ずつずらす。

【0 1 1 6】

さらに、ずらした接続部下の第 0 層配線 $M0$ にノッチ Na 、 Nb を追加する。

【0 1 1 7】

なお、これらの工程を経ず、リザーバを含めた第 1 層配線 $M1$ をその下部の接続部 $TH0$ がグリッドの交点から第 1 層配線 $M1$ が延在する方向にずれて配置することを許容するプログラムを用いて第 1 層配線 $M1$ および接続部 $TH0$ 等を配置してもよい。

【0 1 1 8】

(2) 次に、第 0 層配線 $M0$ 上にずらして配置した接続部 $TH0$ およびその上部の端子部 T （第 1 層配線 $M1$ の一部）を規定しておき、端子部 T を起点に第 1 層配線を配置するモデル（ $M1$ モデル）について図 18 を参照しながら説明する。

【0 1 1 9】

即ち、グリッド $y1$ 、 $y2$ 上に最適配置されている第 0 層配線 $M0a$ 、 $M0b$ 上の、グリッド $x1$ との交点部に接続部 $TH0a$ 、 $TH0b$ を、その中心が前記交点部からそれぞれ左側、右側にずれるよう配置する。この接続部 $TH0$ 上に、接続部 $TH0$ をずらした方向と逆側の方向にリザーバ Ra 、 Rb を有する端子部

T a、T bを配置する。さらに、ずらした端子部T a、T b下の第0層配線M 0 a、M 0 bにはノッチN a、N bを設ける。

【0 1 2 0】

この端子部T a、T bの位置情報を基に、端子部Tから前記リザーバRとは逆側の方向に第1層配線M 1が延在するよう第1層配線M 1を自動配置する。言い換えれば、端子部Tを起点に第1層配線M 1を最適配置する。

【0 1 2 1】

このM 1モデルにおいても、実施の形態2で説明したM 1モデルと同様に、第1層配線M 1の配置条件が少なくなり配線設計のT A Tを短縮することができる。また、一般的なC A Dシステムを用いることができる。

【0 1 2 2】

(3) また、本実施の形態のM 0モデルにおいて、図19に示すように、グリッドyに沿って延在する第0層配線M 0の、グリッドxとの交点の両側にノッチNを設けた第0層配線を仮想的に配置し、その上部に接続部T H 0および第1層配線M 1を配置してもよい。即ち、図19に示すパターンをC A Dツールに、ライブラリ(データベース)として設定しておく。

【0 1 2 3】

(3-1) 次いで、例えば(1)で説明したM 0モデルを用いて、第1層配線M 1および接続部T H 0を配置する。

【0 1 2 4】

即ち、まず、仮想的な第0層配線M 0のパターン上に第1層配線M 1を配置する。ここでは、リザーバ長を考慮せず配置する。

【0 1 2 5】

次いで、接続部T H 0を第0層配線M 0と第1層配線M 1との交点に配置する。

【0 1 2 6】

次いで、第1層配線M 1にリザーバを追加し、第1層配線M 1間のX方向の距離が所定の長さ(配線間に許容される最小の寸法)以上であるかどうかを判断する。

【 0 1 2 7 】

この所定の長さ以下の場合には、第 1 層配線 M 1 下の 2 つの接続部を互いに離れる方向にずらす。

【 0 1 2 8 】

次いで、接続部と仮想的な第 0 層配線 M 0 のパターンの重なった部分にノッチ N を有する第 0 層配線 M 0 のパターンを決定する。言い換えれば、仮想的な第 0 層配線 M 0 のパターンのノッチのうち、その上部に接続部が形成されたノッチ部のみを正規の（現実の）ノッチとする。

【 0 1 2 9 】

（3-2）また、仮想的にノッチ N が設けられた第 0 層配線 M 0 のパターン上に第 1 層配線 M 1 を配置する際に、第 1 層配線 M 1 の延在する方向と接続部 T H 0 の配置されるグリッド x y の位置を決めておけば、接続部 T H 0 の配置は自動的にノッチ N 上にずらされて配置される。

【 0 1 3 0 】

具体的には実施の形態 3 で説明した図 1 2 に示すような配線レイアウトをする場合、グリッド x 1 と y 1 との交点に配置される接続部 T H 0 a とグリッド x 1 と y 2 との交点に配置される接続部 T H 0 b に、それぞれ接続部 T H 0 a の左側および接続部 T H 0 b の右側から、第 1 層配線 M 1 a および M 1 b が接続されるとした場合、接続部 T H 0 a は第 1 層配線 M 1 a の延在する方向にずらされて形成され、接続部 T H 0 b は第 1 層配線 M 1 b の延在する方向にずらされて形成される。

【 0 1 3 1 】

次いで、第 1 層配線 M 1 にリザーバ R a および R b を追加するが、接続部 T H 0 a および T H 0 b は上記のようにずらされて形成されているため、リザーバ R a とリザーバ R b 間で配線間隔が確保される。

【 0 1 3 2 】

このようにレイアウトのルール（アルゴリズム）を設定しておけば、自動配線ツールで配線のレイアウトを行う場合に、配線エラーが無く、同一グリッド上に配置された第 1 層配線の間隔を確保できる配線を配置することが可能となる。

【 0 1 3 3 】

(3-3) ここで、リザーバ長は図9に示すケース2を用いてレイアウトを行うことが好ましい。仮にケース3を用いた場合には、接続部TH0をずらす幅が大きくなるので、それに伴って第0層配線M0の両側に設けるノッチNの長さも大きくなり、第0層配線M0で配線エラーを起こしてしまう。すなわち、ケース3を用いると、第0層配線M0の両側に仮想のノッチNを設けることができないので、配線の自由度が失われることになる。これに対してケース2では、第0層配線M0の両側に仮想のノッチNを設けても配線エラーとなることがないので、配線のレイアウトにおいて自由度を高めることができる。

【 0 1 3 4 】

このように、すべてのグリッドの交点にノッチを有する第0層配線を仮想的に配置することで、「第0層配線M0上に接続部TH0を配置する」という一般的な条件が既定された自動配置配線ツールを用いることができる。

【 0 1 3 5 】

即ち、既存の自動配線ツールにおいては、下層配線のパターン上に接続部を配置できなければエラーとなるツールも少なくない。

【 0 1 3 6 】

しかしながら、このようなライブラリを準備しておけば、接続部をいずれのグリッドの交点にずらして配置してもエラーとなることがなく、自動配線ツールの選択の幅が広がる。

【 0 1 3 7 】

もちろん、その上部に接続部TH0が形成されるか否かに係わらず、第0層配線M0のパターンを図19に示すパターンとしても良い。図20は、この場合の第0層配線M0a、M0b、第1層配線M1a～M1eおよび第0層配線と第1層配線との接続部TH0a、TH0b等の平面パターンを示す平面図であり、図21は、図20のF-F'部に対応する要部断面図である。

【 0 1 3 8 】

但し、この場合は、第0層配線M0のパターンが複雑化し、配線パターン形成におけるレジスト膜の解像が困難となる。また、配線領域が大きくなり、配線間

容量が増加してしまう。

【 0 1 3 9 】

従って、接続部 T H 0 の下部にのみ第 0 層配線のノッチを設ける方が好ましい。

【 0 1 4 0 】

なお、図 1 9 に示すパターンをライブラリ（データベース）として、実施の形態 2 で説明した配線の配置方法に用いてもよい。

【 0 1 4 1 】

（実施の形態 5）

次に、鏡面配置された 2 入力 N A N D セル（以下「2 N A N D セル」という）に実施の形態 1 もしくは 2 で説明した配線の配置方法を適用した例について説明する。

【 0 1 4 2 】

（1）まず、2 N A N D セルの回路図を説明する。図 2 2 は、2 N A N D セルの回路図であり、図示するように、入力端子 a 1 は、p チャネル型 M I S F E T Q p 1 および n チャネル型 M I S F E T Q n 1 のゲート電極に接続され、入力端子 a 2 は、p チャネル型 M I S F E T Q p 2 および n チャネル型 M I S F E T Q n 2 のゲート電極に接続されている。また、出力端子 z n と、電源電位（V d d）との間には、p チャネル型 M I S F E T Q p 1 および Q p 2 が並列に接続され、出力端子 z n と、接地電位（基準電位、V s s）との間には、n チャネル型 M I S F E T Q n 2 および Q n 1 が順に直列に接続されている。

【 0 1 4 3 】

（2）次いで、鏡面配置された 2 N A N D セルの構造を製造方法に沿って説明する。

【 0 1 4 4 】

図 2 3 ～図 2 7 は、2 N A N D セルを構成する各層のパターンレイアウトを示す平面図であり、図 2 8 は、平面図の G - G' 部に対応する断面図である。なお、図 2 7 に示すように、2 N A N D セルは、セル領域 C A 1 と C A 2 に形成され、これらのセルは、セル領域を区画し、Y 方向に延在するラインに対し対称に配

置（鏡面配置）される。

【0145】

図23および図28に示すように、半導体基板1中に形成された溝内に絶縁膜として例えば酸化シリコン膜を埋め込むことにより素子分離3を形成する。次いで、半導体基板1中にn型不純物およびp型不純物を注入し、拡散させることによりn型ウエル5およびp型ウエルを形成する。このn型ウエル5の露出領域をアクティブAcNと、また、p型ウエルの露出領域をアクティブAcPとする。

【0146】

次いで、半導体基板1上に導電性膜として例えば不純物をドーブした多結晶シリコン膜を堆積し、パターニングすることによりゲート電極FGを形成する。このゲート電極FGの内、FG1およびFG2は、アクティブAcN上に、FG3およびFG4は、アクティブAcP上に、Y方向に延在する。FG1は、Qp1のゲート電極で、FG2は、Qp2のゲート電極である。また、FG3は、Qn1のゲート電極で、FG4は、Qn2のゲート電極である。また、FG1とFG3は、前記多結晶シリコン膜よりなる配線部により接続され、また、FG2とFG4も同様に接続される。

【0147】

次いで、ゲート電極FGの両側の半導体基板1（p型ウエル）中にn型不純物を注入し、n⁻型半導体領域を形成する。また、ゲート電極の両側の半導体基板1（n型ウエル）中にp型不純物を注入し、p⁻型半導体領域11を形成する。

【0148】

次いで、ゲート電極FG上に絶縁膜として窒化シリコン膜を堆積し、異方的にエッチングすることによりゲート電極FGの側壁にサイドウォール膜SWを形成する。

【0149】

次いで、ゲート電極およびサイドウォール膜をマスクに、ゲート電極の両側の半導体基板1（p型ウエル）中にn型不純物を注入し、nチャネル型MISFETのソースおよびドレイン領域となるn⁺型半導体領域を形成する。また、ゲート電極の両側の半導体基板1（n型ウエル）中にp型不純物を注入し、pチャネ

ル型MISFETのソースおよびドレイン領域となる p^+ 型半導体領域15を形成する。

【0150】

次いで、半導体基板1上に高融点金属膜として例えばコバルト膜を堆積し、熱処理を加えて半導体基板1を構成するシリコンと反応させることで、コバルト膜と半導体基板1およびゲート電極FGとの接触部にコバルトシリサイド膜17を形成する。

【0151】

次いで、未反応のコバルト膜を除去し、半導体基板1上に絶縁膜として例えば酸化シリコン膜19を堆積する。

【0152】

次いで、図24および図28に示すように、酸化シリコン膜19を選択的に除去することによりMISFETのソース、ドレイン領域上もしくはゲート電極上にコンタクトホール21を形成する。

【0153】

次いで、コンタクトホール21内を含む酸化シリコン膜19上に、バリア膜として例えばTiN（窒化チタン）膜を薄く堆積し、さらに、その上部に、導電性膜としてW（タングステン）膜をコンタクトホール21を埋め込む程度堆積する。

【0154】

次いで、コンタクトホール21の外部のTiN膜およびW膜を例えばCMP（Chemical Mechanical Polishing）法により除去することにより接続部（プラグ）LCNTを形成する。

【0155】

次いで、図25および図28に示すように、酸化シリコン膜19上に例えば窒化シリコン膜を堆積し、さらに、その上部に酸化シリコン膜を堆積し、これらの積層膜よりなる配線溝用の絶縁膜23を形成する。この窒化シリコン膜は、配線溝を形成する際のエッチングストッパーとなる。

【0156】

次いで、絶縁膜 2 3 を選択的に除去することにより配線溝 2 5 を形成する。次いで、配線溝 2 5 内を含む絶縁膜 2 3 上に、バリア膜として例えば T i N 膜、T a 膜、T a N 膜等の単層膜又はそれらを積層した積層膜を薄く堆積し、さらに、その上部に、導電性膜として W 膜又は銅 (C u) 膜を配線溝 2 5 を埋め込む程度堆積する。

【 0 1 5 7 】

次いで、配線溝 2 5 の外部のバリア膜および導電性膜を例えば C M P 法により除去することにより第 0 層配線 M 0 を形成する。

【 0 1 5 8 】

第 0 層配線 M 0 は、グリッド y に沿って Y 方向に形成される。但し、一部、X 方向に延在する部分もある。また、第 0 層配線 M 0 間にゲート電極 F G が位置する。平面図において破線でグリッドを示す。X 方向のグリッドをグリッド x、Y 方向のグリッドをグリッド y とする。

【 0 1 5 9 】

次いで、絶縁膜 2 3 上に例えば窒化シリコン膜および酸化シリコン膜の積層膜よりなる絶縁膜 2 7 を堆積する。

【 0 1 6 0 】

次いで、図 2 6 および図 2 8 に示すように、絶縁膜 2 7 を選択的に除去することによりコンタクトホール C 0 を形成する。次いで、コンタクトホール C 0 内を含む絶縁膜 2 7 上に、バリア膜として例えば T i N 膜を薄く堆積し、さらに、その上部に、導電性膜として W 膜をコンタクトホール C 0 を埋め込む程度堆積する。次いで、接続部 L C N T と同様に、コンタクトホール C 0 内に、T i N 膜および W 膜を埋め込むことにより接続部 T H 0 を形成する。

【 0 1 6 1 】

次いで、図 2 7 および図 2 8 に示すように、絶縁膜 2 7 上に、例えば窒化シリコン膜および酸化シリコン膜の積層膜よりなる絶縁膜 2 9 を堆積し、配線溝 2 5 と同様に、配線溝 3 1 を形成する。

【 0 1 6 2 】

次いで、配線溝 3 1 内を含む絶縁膜 2 9 上に、バリア膜として例えば T i N 膜

を薄く堆積し、さらに、その上部に、導電性膜としてCu（銅）膜を例えばメッキ法やスパッタ法等を用いて配線溝31を埋め込む程度形成し、次いで、配線溝31の外部のTiN膜およびCu膜を例えばCMP法により除去することにより第1層配線M1を形成する。

【0163】

この第1層配線M1は、図27に示すように、グリッドx上に沿ってX方向に形成される。

【0164】

ここで、第1層配線M1の内、M1aは、入力端子a1に対応し、M1bは、入力端子a2に対応する。また、M1cは、出力端子znに対応する。なお、第1層配線M1dには、電源電位（Vdd）が供給され、M1eには、接地電位（Vss）が供給される。なお、第0層配線M0の内、M0hは、n型ウエル（AcN）の給電部と接続され、M0gは、p型ウエル（AcP）の給電部と接続される。

【0165】

ここで、セル領域CA2の第1層配線M1aは、第0層配線M0a上の接続部TH0a上から右方向すなわちセル境界領域から離れる方向に延在し、また、セル領域CA1の第1層配線M1aは、第0層配線M0a上の接続部TH0a上から左方向に延在し、これらの配線は、同じグリッドy上に位置するように配置する。

【0166】

そこで、セル領域CA2の第1層配線M1a下の接続部TH0aを第0層配線M0aの中心から右方向すなわちセル境界領域から離れる方向にずらして配置（右ずらし配置）し、また、セル領域CA1の第1層配線M1a下の接続部TH0aを第0層配線M0aの中心から左方向にずらして（左ずらし配置）配置する。なお、他の接続部TH0は第0層配線M0の中心に配置されている。

【0167】

このようにセル領域CA2の配置を設定することで、鏡面配置されたセル領域CA1は、セル境界領域を境にセル領域CA2を折り返した配置としてレイアウト

トされる。ここで、セル領域C A 1の接続部T H 0 aは第0層配線M 0 aの中心からセル境界領域から離れる方向にずらして配置されているため、セル領域C A 2の接続部T H 0 aも第0層配線M 0 aの中心からセル境界領域から離れる方向にずらされて配置される。

【0 1 6 8】

このように配置することにより第1層配線M 1 aにリザーバRを設けても、配線のX方向の間隔を確保することができる。

【0 1 6 9】

この後、図2 8に示すように、絶縁膜3 3や3 5を堆積し、配線溝3 7中に第2層配線M 2を形成する。

【0 1 7 0】

図1 7および図2 8に示すセル構造は、例えば実施の形態2等で説明したM 1モデルの自動配線配置によって実現することができる。

【0 1 7 1】

即ち、セル領域C A 2の接続部T H 0 aをあらかじめ右にずらして配置し、セル領域C A 1の接続部T H 0 aをあらかじめ左にずらして配置し、これらの上部にリザーバRを接続部をずらした方向と逆方向に設定した端子部T aを設け、セル領域C A 1を鏡面配置した後に、これを起点に第1層配線M 1を最適配置する(図2 7参照)。

【0 1 7 2】

また、M 0モデルを用いて、第1層配線M 1下の接続部T H 0 aが、セルの端部において、同一のグリッドx上に隣り合うよう配置された場合、これらをそれぞれ逆方向(離れる方向)にずらして配置し、リザーバ領域Rを確保することも可能である。

【0 1 7 3】

(実施の形態6)

次に、4入力NANDセル(以下、「4 N A N Dセル」という)に実施の形態1～4で説明した配線の配置方法を適用した例について説明する。

【0 1 7 4】

(1) まず、4 NANDセルの回路図を説明する。図29は、4 NANDセルの回路図であり、図示するように、入力端子a1は、pチャネル型MISFET Q_{p1} およびnチャネル型MISFET Q_{n1} のゲート電極に接続され、同様に、入力端子a2～a4は、それぞれpチャネル型MISFET $Q_{p2} \sim Q_{p4}$ のゲート電極に、また、nチャネル型MISFET $Q_{n2} \sim Q_{n4}$ のゲート電極に接続されている。また、出力端子znと、電源電位 (V_{dd}) との間には、pチャネル型MISFET $Q_{p1} \sim Q_{p4}$ が並列に接続され、出力端子znと、接地電位 (V_{ss}) との間には、nチャネル型MISFET $Q_{n1} \sim Q_{n4}$ が順に直列に接続されている。

【0175】

(2) なお、この4 NANDセルを構成する配線等は、そのパターンは異なるが、実施の形態5と同様に形成することができるため、ここでは、各層のパターンについて詳細に説明する。

【0176】

図30～図35は、4 NANDセルを構成する各層のパターンレイアウトを示す平面図である。

【0177】

図30に示すように、ゲート電極FG1～FG4は、アクティブAcN上にY方向に延在し、ゲート電極FG5～FG8は、アクティブAcP上にY方向に延在する。

【0178】

このゲート電極FG1とFG5、FG2とFG6、FG3とFG7、およびFG4とFG8とは、それぞれゲート電極と同層の多結晶シリコン膜よりなる配線部により接続されている。

【0179】

また、ゲート電極FGの両側等の所望の位置に接続部LCNTが配置されている(図31)。

【0180】

図32に示すように、ゲート電極FG間には、第0層配線M0が、グリッドy

に沿ってY方向に延在する。但し、一部、X方向に延在する部分もある。

【0181】

第0層配線M0上には接続部TH0が配置され（図33）、この接続部TH0上に第1層配線M1がグリッドxに沿ってX方向に配置される（図34）。

【0182】

ここで、第1層配線M1aは、入力端子a1に対応し、M1bは、入力端子a2に対応する。また、M1cは、入力端子a3に、M1dは、入力端子a4に対応する。また、M1eは、出力端子znに対応する。なお、第1層配線M1kには、電源電位（Vdd）が供給され、M1jには、接地電位（Vss）が供給される。また、第0層配線の内、M0kは、n型ウエルの給電部と接続され、M0jは、p型ウエルの給電部と接続される。

【0183】

ここで、第1層配線M1aは、第0層配線M0上の接続部TH0a上から左方向に延在し、第1層配線M1bは、第0層配線M0上の接続部TH0b上から右方向に延在し、これらの配線は、同じグリッドx上に位置する。

【0184】

そこで、第1層配線M1a下の接続部TH0aを第0層配線M0の中心から左方向にずらして配置（左ずらし配置）し、また、第1層配線M1b下の接続部TH0bを第0層配線M0の中心から右方向にずらして（右ずらし配置）配置する。

【0185】

また、第1層配線M1cは、第0層配線M0上の接続部TH0c上から左方向に延在し、第1層配線M1dは、第0層配線M0上の接続部TH0d上に短く配置され、第1層配線M1eは、第0層配線M0上の接続部TH0e上から右方向に延在し、これらの配線は、同じグリッドx上に位置する。

【0186】

そこで、第1層配線M1c下の接続部TH0cを第0層配線M0の中心から左方向にずらして配置（左ずらし配置）し、また、第1層配線M1e下の接続部TH0eを第0層配線M0の中心から右方向にずらして（右ずらし配置）配置する。また、第1層配線M1d下の接続部TH0dは第0層配線M0の中心に配置さ

れている（中心配置）。なお、他の接続部 T H 0 も第 0 層配線 M 0 の中心に配置されている。

【 0 1 8 7 】

このように配置することにより第 1 層配線 M 1 a、M 1 b 等にリザーバを設けても、配線の X 方向の間隔を確保することができる。

【 0 1 8 8 】

従って、これらの配線の実装効率を向上させ、他のグリッド x に他の第 M 1 層配線（Another net）A N を配置することができる。

【 0 1 8 9 】

図 3 5 に、第 1 層配線 M 1 上の接続部 T H 1 およびその上部の第 2 層配線 M 2 の配置の一例を示す。

【 0 1 9 0 】

（実施の形態 7）

実施の形態 5 や 6 においては、NAND セルを例に説明したが、スタンダードセル等に用いられる基本セル、例えば、インバータや AND 回路等の配線部に本発明を適用してもよい。

【 0 1 9 1 】

基本セルとしては、前記の他、3 入力 NAND、2 入力 NOR、3 入力 NOR、4 入力 NOR、Tri State インバータ、2-1 セレクタ、イクスクルーシブ NOR、イクスクルーシブ OR、2-1 AND-OR-インバータ、2-2 AND-OR-インバータ、3-1 AND-OR-インバータ、3-2 AND-OR-インバータ、2-2-1 AND-OR-インバータ、2-1 OR-AND-インバータ、2-2 OR-AND-インバータ、3-1 OR-AND-インバータ、2-1-1 OR-AND-インバータ、2-2-2 OR-AND-インバータ、D-ラッチ（latch）、エッジトリガーフリップフロップ（Edge-trigger FF）等、多種多様のものがある。

【 0 1 9 2 】

また、これらの基本セルの鏡面配置のみならず、多種の基本セルを配置し、これらの間の結線に本発明を用いることができる。

【 0 1 9 3 】

特に、実施の形態 5 で、2 N A N D セルを例に説明したように、基本セルは、それを構成する複数の M I S F E T のゲート電極 F G が一定方向に並列に配置され、これらの間に第 0 層配線 M 0 が形成されことが多い。

【 0 1 9 4 】

これらのセル面積を縮小するためには、セルの外周部の第 0 層配線 M 0 上に入力部 (a 1 、 a 2 ・ ・ ・ a n) もしくは出力部 (z n) を設けることが多くなる。従って、図 3 6 に示すように、複数の基本セル (B C 1 ～ B C 6) が配置されている場合には、各セルの第 1 層配線 M 1 の延在方向の境界部において第 1 層配線のリザーバ R が近接して配置される可能性が高い。

【 0 1 9 5 】

従って、このような領域において、実施の形態 1 ～ 4 で説明したような配線配置を用いることで、他の配線 (Another net) の引き回しが可能となり、配線の実装効率を向上させることができる。

【 0 1 9 6 】

図 3 7 は、本発明者らが複数の基本セル間を結線した配線レイアウトの一例である。例えば、領域 (a) は、本発明の適用箇所 (両ずらし配置) であり、領域 (b) は、接続部をずらして配置していない個所である。

【 0 1 9 7 】

このように、接続部 (配線) 間にゆとりがあり、リザーバを設けても配線間隔を確保できる箇所には、接続部をずらして配置する必要はないことは言うまでもない。

【 0 1 9 8 】

また、本発明は、セル内の結線もしくはセル間の結線にかかわらず適用することができる。

【 0 1 9 9 】

このように、本実施の形態によれば、半導体装置の微細化 (チップの縮小化) や高集積化を図ることができる。また、各素子間を接続する配線の長さを短縮でき、半導体装置の高速駆動を実現できる。また、配線の長さを短縮することによ

り、配線抵抗を小さくでき、半導体装置の低消費電力化を図ることができる。また、リザーバによりEM耐性を向上させ、また、配線と接続部のパターンの合わせ余裕を確保できる。

【 0 2 0 0 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 2 0 1 】

特に、実施の形態5および6においては、銅ダマシン配線を例に説明したが、他の導電性膜を用いてもよく、また、導電性膜のパターニングによって配線を形成してもよい。

【 0 2 0 2 】

しかしながら、銅原子は移動し易くEM現象が生じやすいため、リザーバを設ける必要性が大きい。従って、本発明は銅配線に用いて効果的である。

【 0 2 0 3 】

また、前記実施の形態においては、第0層配線や第1層配線等、比較的下層の配線を例に説明したが、さらに、上層の配線例えば第4層配線や第5層配線に適用してもよく、その下層の配線が最小加工寸法以上の間隔で配置されている配線に広く適用可能である。

【 0 2 0 4 】

また、MISFET上の配線に限られず、他の半導体素子上に形成される配線にも広く適用可能である。

【 0 2 0 5 】

以上、本願に記載の実施の形態において開示される効果のうち代表的なものを簡単に説明すれば、下記のとおりである。

【 0 2 0 6 】

第1配線と第1配線と直交する第1方向[X方向]に延在する第2配線[M1]との接続部の中心を第1配線の中心からずらして配置することにより、ずらした方向と逆方向に余剰部分[リザーバ]を確保し、また、接続部の下部に第1配

線に突出部〔ノッチ〕を設けたことで、前記第 1 方向の間隔を確保できるため、配線密度を向上させることができる。

【0207】

また、同一グリッド上に配置された第 1 層配線の第 1 方向の間隔を確保できるため、第 2 配線と前記第 1 方向と直交する第 2 方向〔Y 方向〕で、隣り合うグリッドに第 3 配線〔M1〕のような他の配線を配置することが可能となる。これにより配線の自由度を向上させることができ、配線密度を向上させることができる。

【0208】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0209】

配線の実装効率を向上することができる。また、配線間の接続精度を向上することができる。また、半導体装置の微細化もしくは高密度化を図ることができる。また、半導体装置の高性能化を図ることができる。

【図面の簡単な説明】

【図 1】

実施の形態 1 の各層の配線（M0、M1）とこれらの間の接続部の平面パターンを示す平面図である。

【図 2】

図 1 のレイアウトのうち、第 0 層配線の平面パターンを示す図である。

【図 3】

図 1 の A-A' 部に対応する要部断面図である。

【図 4】

実施の形態 1 の効果を示すための各層の配線（M0、M1）とこれらの間の接続部の平面パターンを示す平面図である。

【図 5】

図 4 のレイアウトのうち、第 0 層配線の平面パターンを示す図である。

【図 6】

図 4 の C - C' 部に対応する要部断面図である。

【図 7】

実施の形態 1 の各層の配線 (M 0、M 1)、これらの間の接続部およびゲート電極の関係を示す断面図である。

【図 8】

実施の形態 1 の第 0 層配線およびゲート電極の平面パターンを示す平面図である。

【図 9】

リザーバ長 L r e s と接続部 T H の配置率との関係を示す図表である。

【図 1 0】

実施の形態 2 の配線等の配置方法を示すフローチャート図である。

【図 1 1】

実施の形態 2 の配線等の他の配置方法を示すフローチャート図である。

【図 1 2】

実施の形態 3 の各層の配線 (M 0、M 1) とこれらの間の接続部の平面パターンを示す平面図である。

【図 1 3】

図 1 2 のレイアウトのうち、第 0 層配線の平面パターンを示す図である。

【図 1 4】

図 1 2 の D - D' 部に対応する要部断面図である。

【図 1 5】

実施の形態 3 の第 0 層配線およびゲート電極の平面パターンを示す平面図である。

【図 1 6】

実施の形態 3 の各層の配線 (M 0、M 1)、これらの間の接続部およびゲート電極の関係を示す断面図である。

【図 1 7】

実施の形態 4 の配線等の配置方法を示すフローチャート図である。

【図 1 8】

実施の形態 4 の配線等の他の配置方法を示すフローチャート図である。

【図 1 9】

グリッドの交点の両側にノッチを設けた仮想的な第 0 層配線のパターンを示す平面図である。

【図 2 0】

実施の形態 4 の他の各層の配線 (M 0、M 1) とこれらの間の接続部の平面パターンを示す平面図である。

【図 2 1】

図 2 0 の F - F' 部に対応する要部断面図である。

【図 2 2】

2 N A N D セルの回路図である。

【図 2 3】

実施の形態 5 の 2 N A N D セルを構成する各層のパターンレイアウトを示す平面図である。

【図 2 4】

実施の形態 5 の 2 N A N D セルを構成する各層のパターンレイアウトを示す平面図である。

【図 2 5】

実施の形態 5 の 2 N A N D セルを構成する各層のパターンレイアウトを示す平面図である。

【図 2 6】

実施の形態 5 の 2 N A N D セルを構成する各層のパターンレイアウトを示す平面図である。

【図 2 7】

実施の形態 5 の 2 N A N D セルを構成する各層のパターンレイアウトを示す平面図である。

【図 2 8】

図 2 7 の G - G' 部に対応する断面図である。

【図 2 9】

4 N A N Dセルの回路図である。

【図 3 0】

実施の形態 6 の 4 N A N Dセルを構成する各層のパターンレイアウトを示す平面図である。

【図 3 1】

実施の形態 6 の 4 N A N Dセルを構成する各層のパターンレイアウトを示す平面図である。

【図 3 2】

実施の形態 6 の 4 N A N Dセルを構成する各層のパターンレイアウトを示す平面図である。

【図 3 3】

実施の形態 6 の 4 N A N Dセルを構成する各層のパターンレイアウトを示す平面図である。

【図 3 4】

実施の形態 6 の 4 N A N Dセルを構成する各層のパターンレイアウトを示す平面図である。

【図 3 5】

実施の形態 6 の 4 N A N Dセルを構成する各層のパターンレイアウトを示す平面図である。

【図 3 6】

複数の基本セルの結線状態を示す平面図である。

【図 3 7】

複数の基本セル間を結線した配線レイアウトの一例である。

【図 3 8】

実施の形態 1 の変形例における第 0 層配線およびゲート電極の平面パターンを示す平面図である。

【符号の説明】

- 1 半導体基板

3 素子分離

5 n型ウエル

1 1 p⁻型半導体領域

1 5 p⁺型半導体領域

1 7 コバルトシリサイド膜

1 9 酸化シリコン膜

2 1 コンタクトホール

2 3 絶縁膜

2 5 配線溝

2 7 絶縁膜

2 9 絶縁膜

3 1 配線溝

3 3 絶縁膜

3 5 絶縁膜

3 7 配線溝

A c N アクティブ

A c P アクティブ

C 0 コンタクトホール

C A 1 セル領域

C A 2 セル領域

F G ゲート電極

F G 1 ~ F G 4 ゲート電極

F G 5 ~ F G 8 ゲート電極

L 1 距離

L 2 距離

L C N T 接続部

L r e s リザーバ長

M 0 第0層配線

M 0 a、M 0 b 第0層配線

M 0 g、M 0 h 第 0 層配線

M 0 j、M 0 k 第 0 層配線

M 1 第 1 層配線

M 1 a～M 1 e 第 1 層配線

M 1 j、M 1 k 第 1 層配線

M 2 第 2 層配線

N ノッチ

N a、N b ノッチ

N d、N e ノッチ

P 0、P 1 距離

Q n 1～Q n 4 nチャネル型MISFET

Q p 1～Q p 4 nチャネル型MISFET

R リザーバ

R a、R b リザーバ

R d、R e リザーバ

S/D ソース、ドレイン領域

S 0 スペース

S 1 スペース

SW サイドウォール膜

T 端子部

T a 端子部

T b 端子部

T H 接続部

T H 0 接続部

T H 0 a～T H 0 e 接続部

T H 1 接続部

W 0 配線幅

W 1 配線幅

a 1～a 4 入力端子

x グリッド

x 1 ～ x 3 グリッド

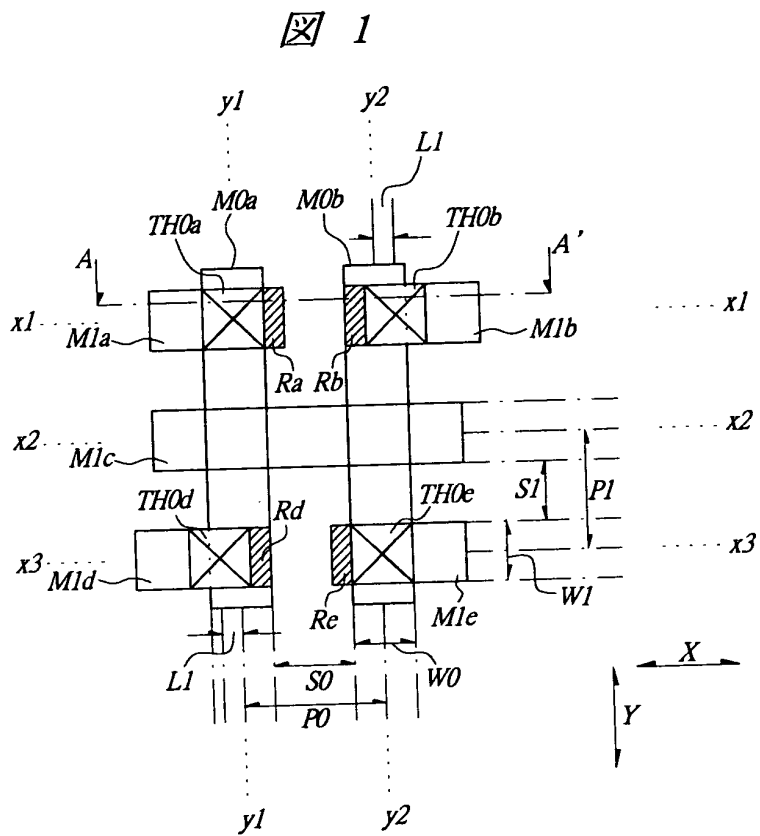
y グリッド

y 1 ～ y 3 グリッド

z n 出力端子

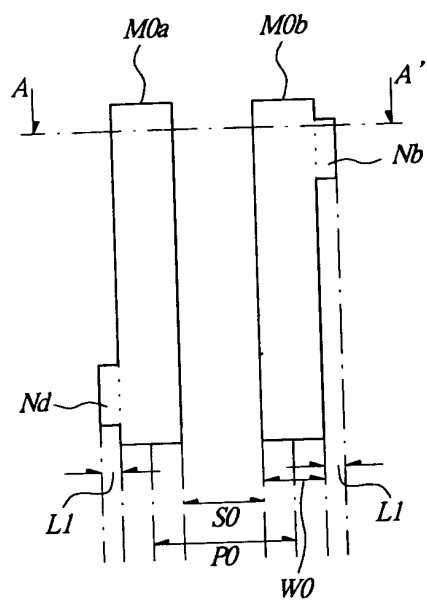
【書類名】 図面

【図 1】



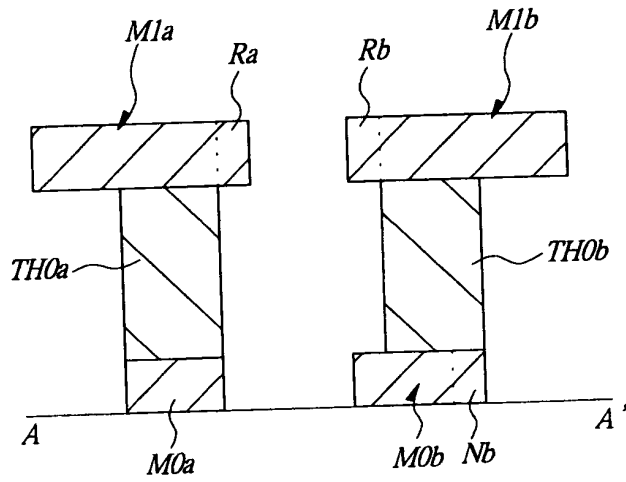
【図 2】

図 2



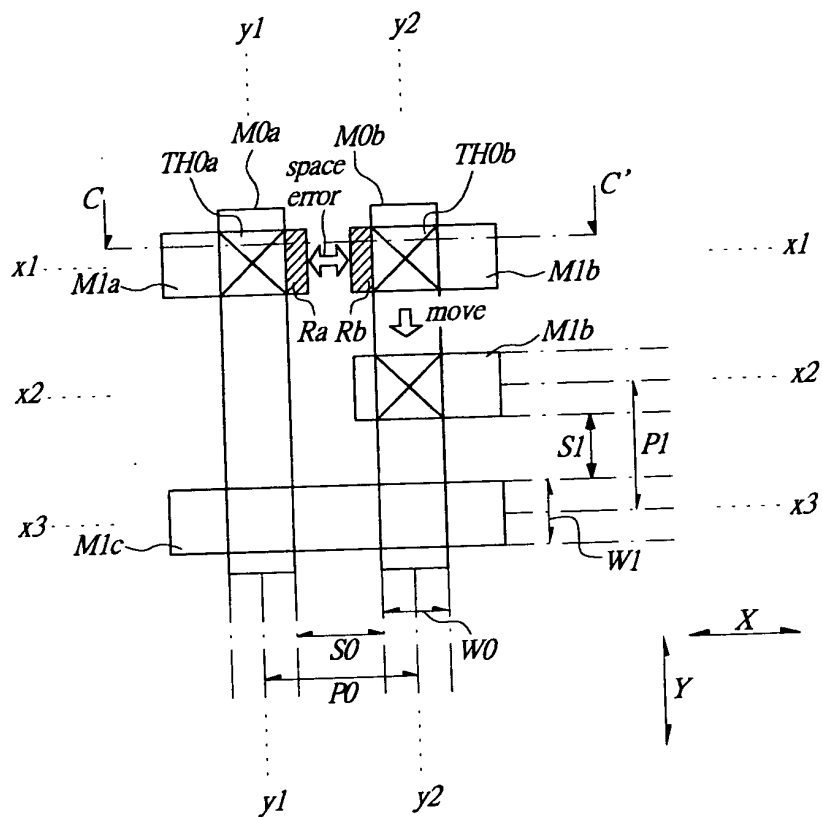
【図 3】

図 3



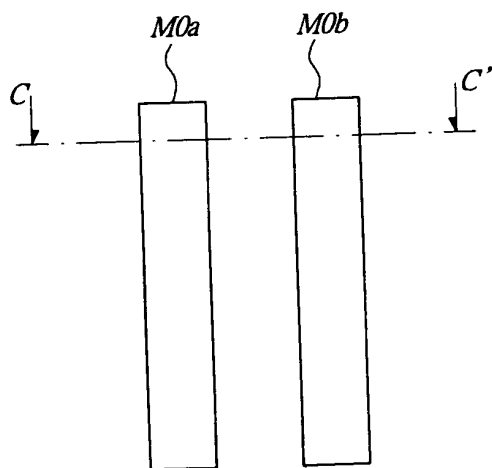
【図 4】

図 4



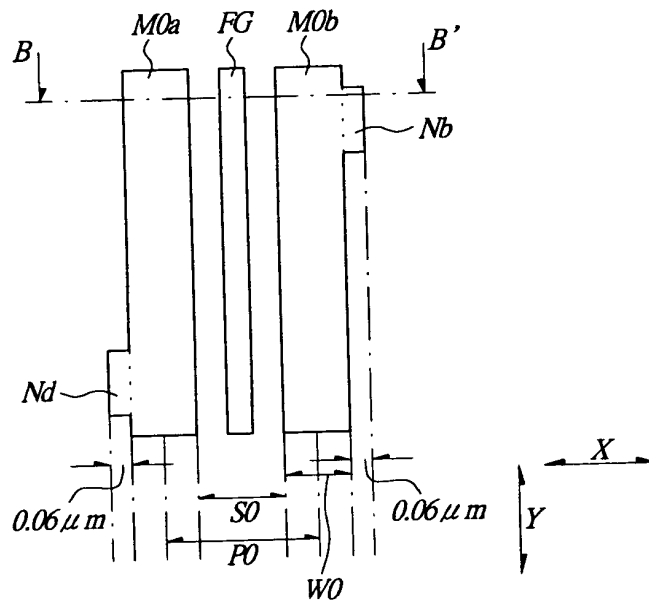
【図 5】

図 5



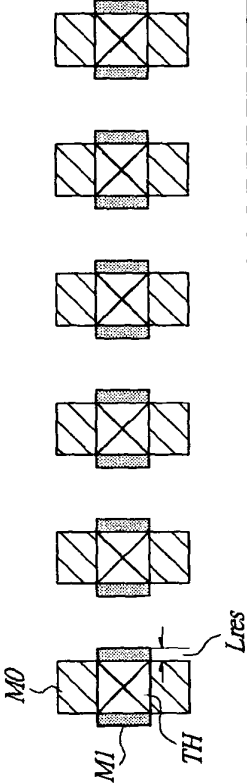
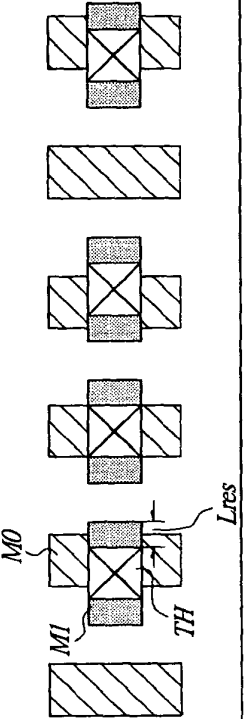
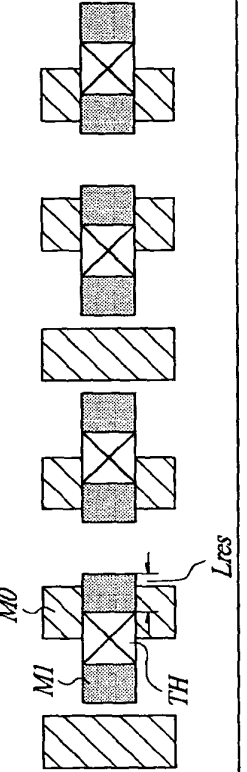
【図 8】

図 8



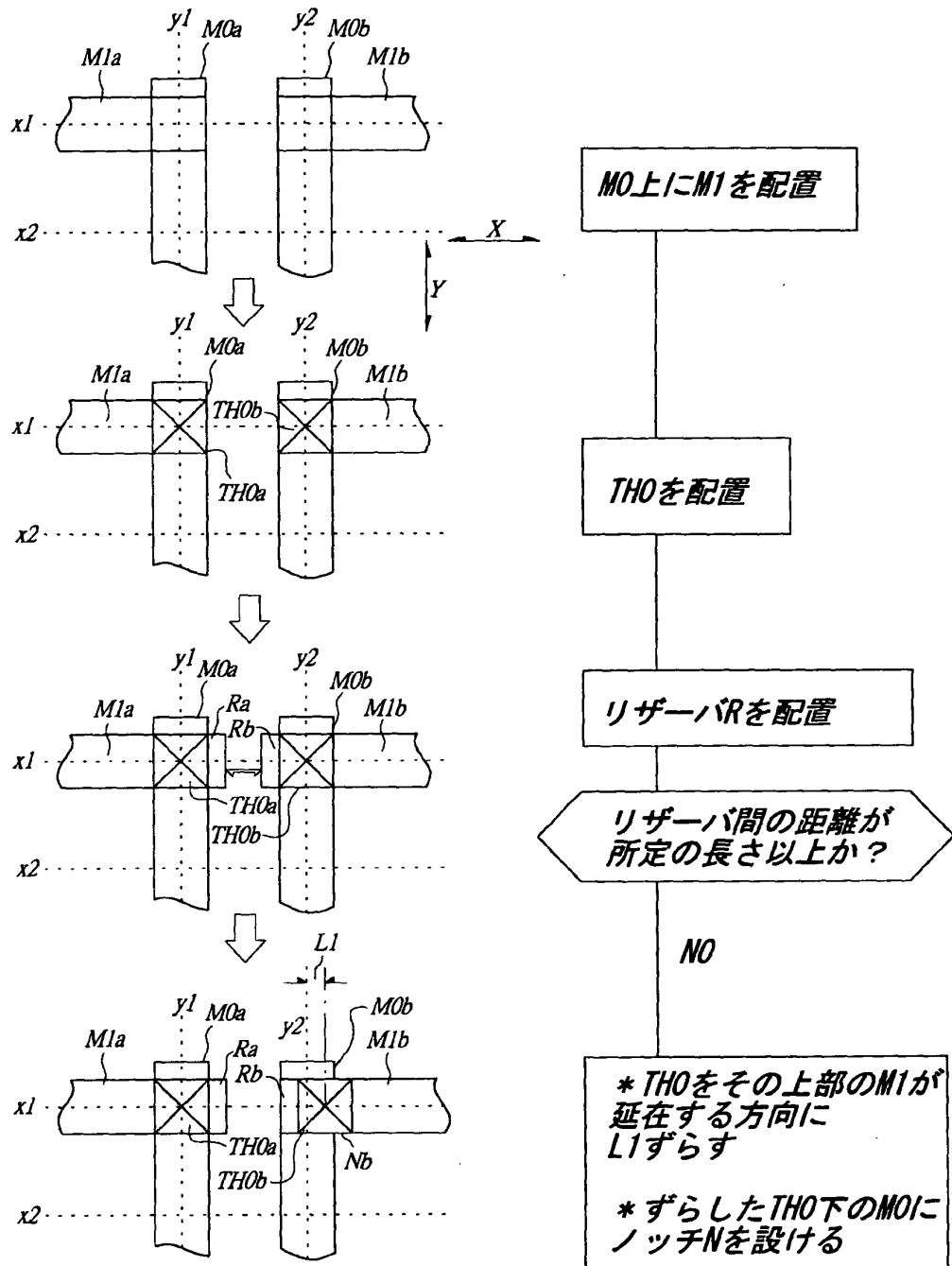
【図 9】

図 9

ケース	リザーバ長 (L_{res})	最密 TH 配置法	TH 配置率 (%)
1	$L_{res} \leq (P0-P1)/2$		100%
2	$(P0-P1)/2 < L_{res}$ $L_{res} \leq (P0-P1)$		75%
3	$(P0-P1) < L_{res}$ $L_{res} \leq (P0-P1) \times 2$		66.7%

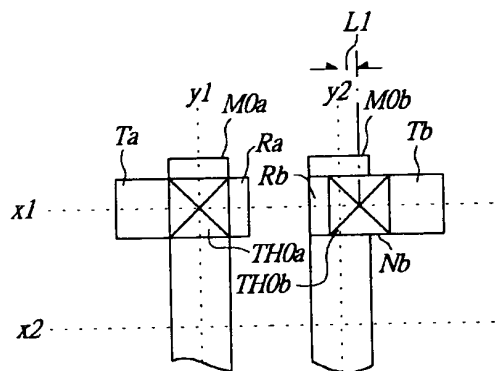
【図10】

図 10



【図 11】

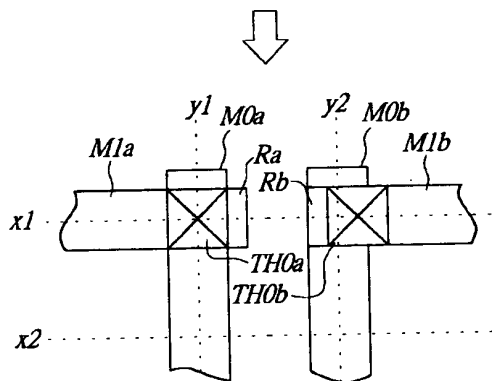
図 11



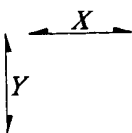
* M0上のTH0のいずれか一方をL1ずらして配置する

* TH0上にリザーバRを有する端子部Tを配置する

* ずらしたTH0下のM0にノッチNを設ける

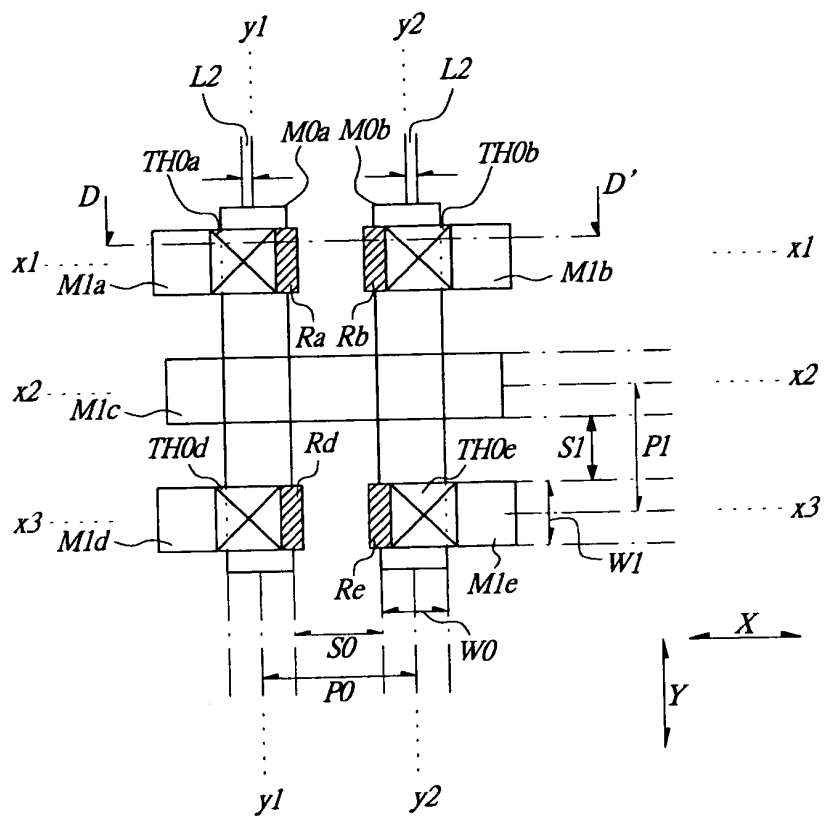


端子部Tを起点にリザーバRと逆方向にM1を配置する



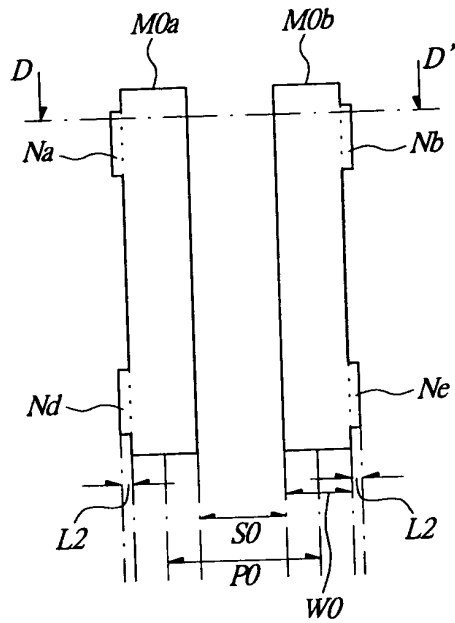
【図 12】

図 12



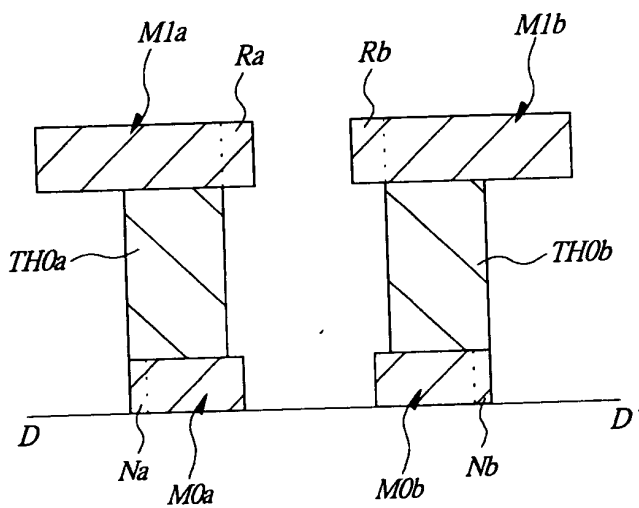
【図13】

図 13



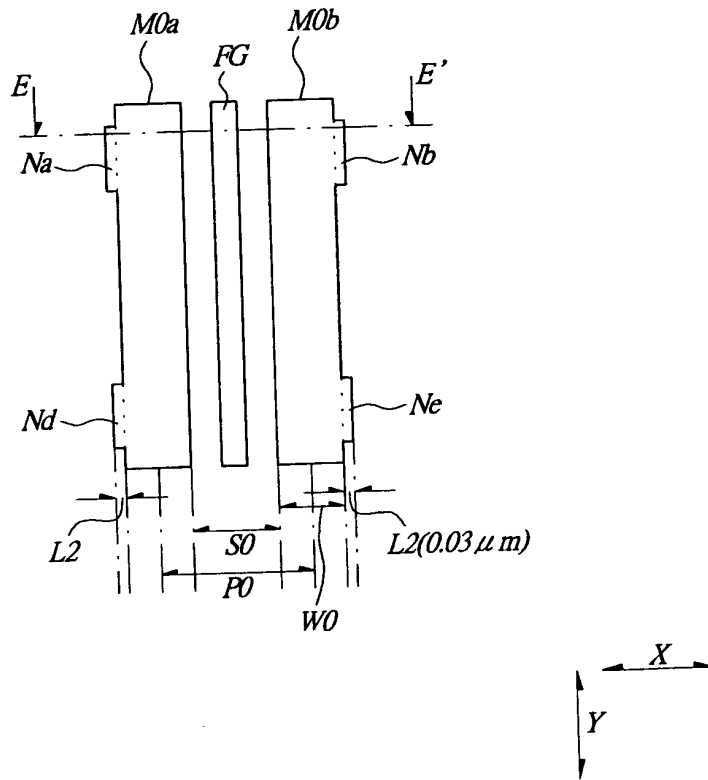
【図14】

図 14



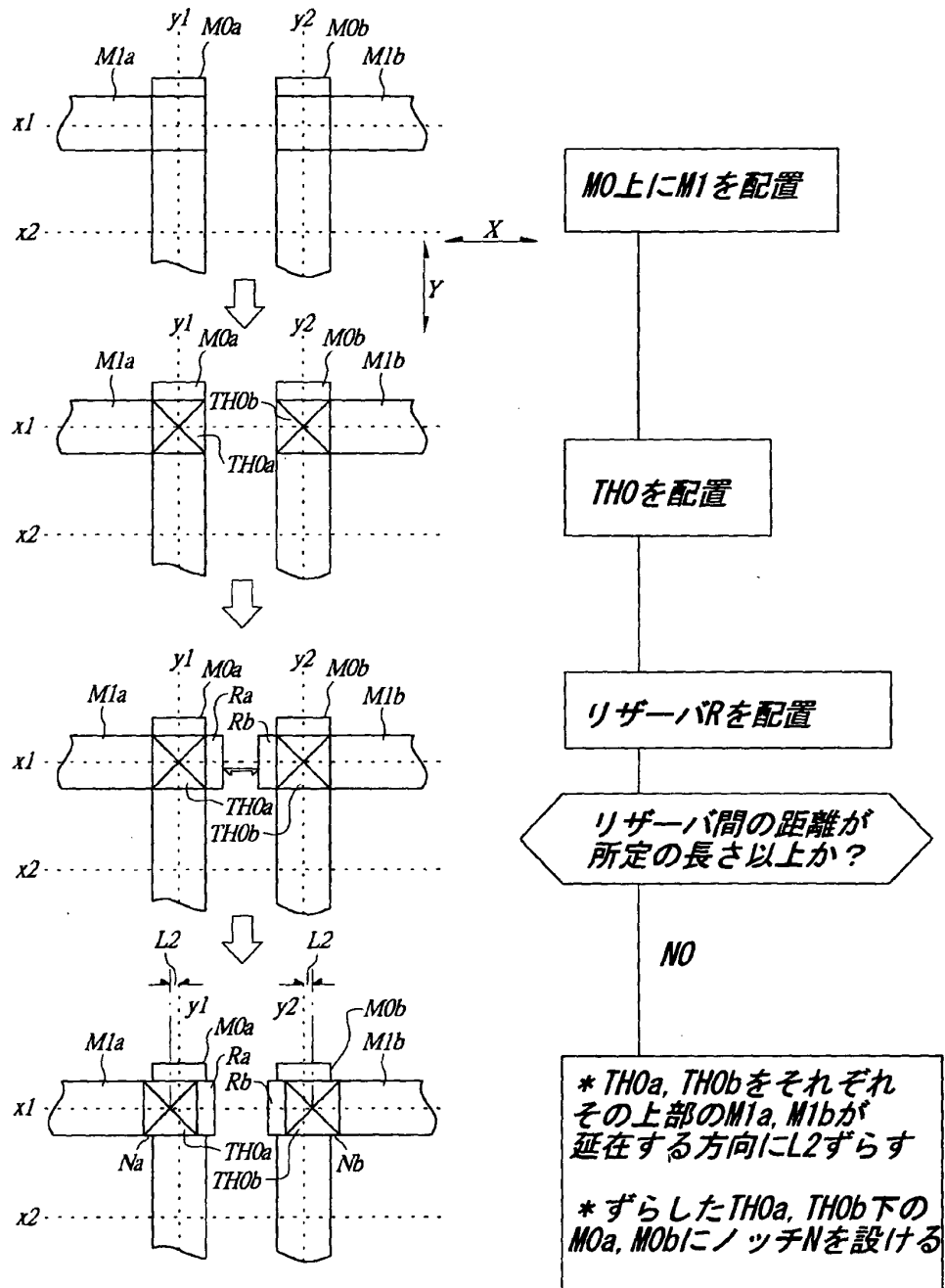
【図 1 5】

図 15



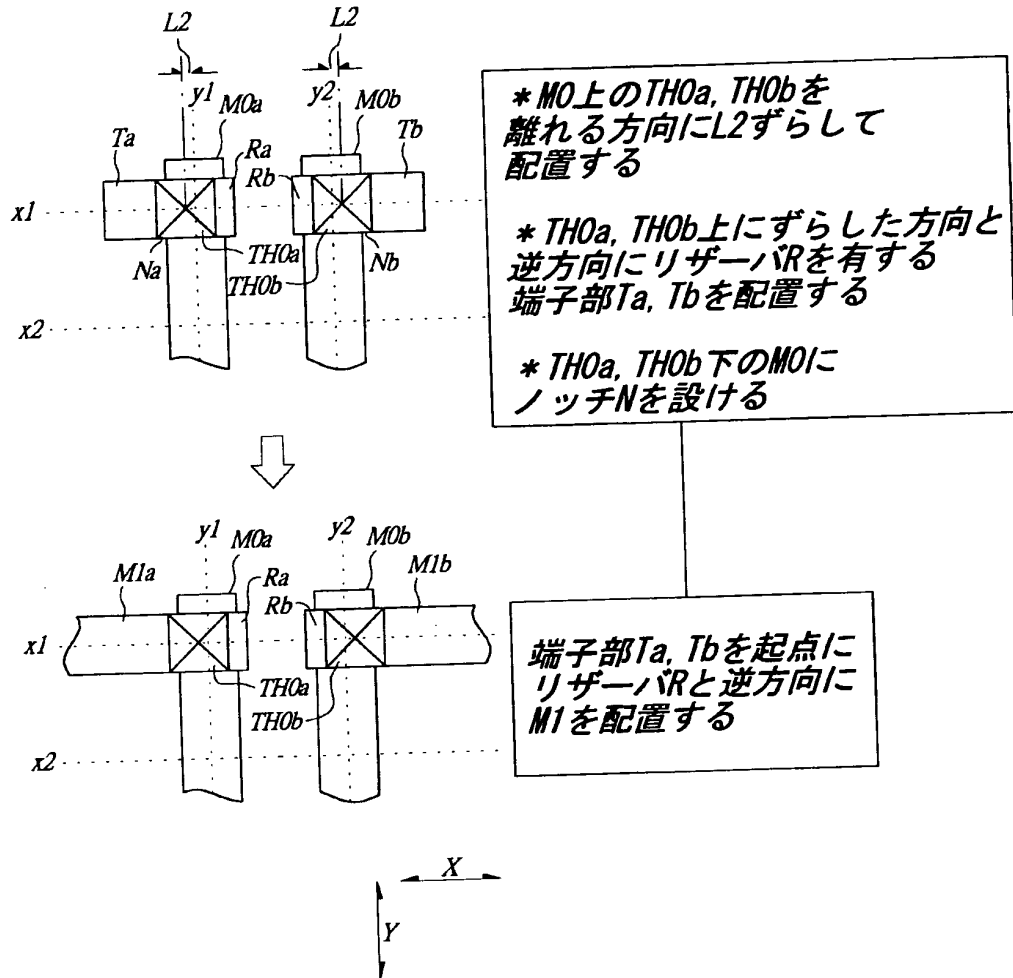
【図17】

図 17

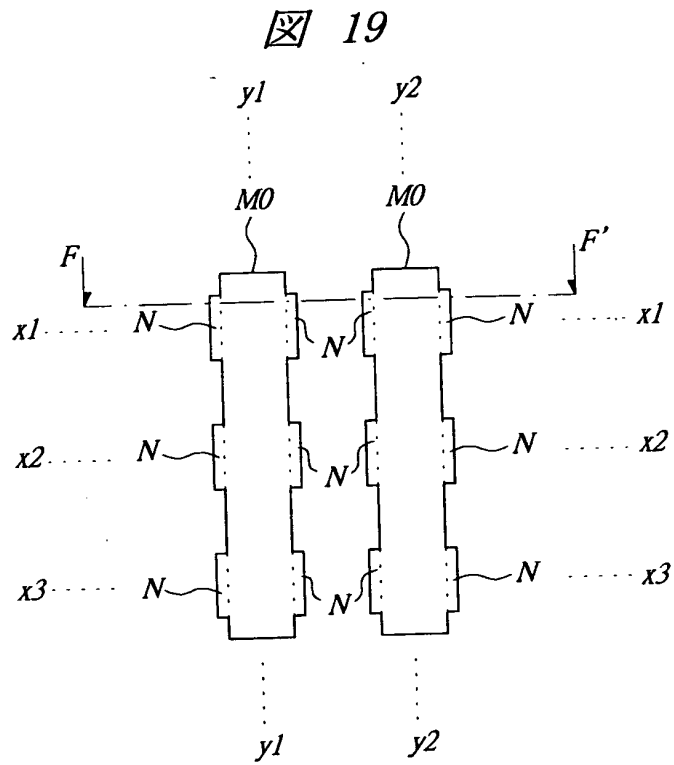


【図18】

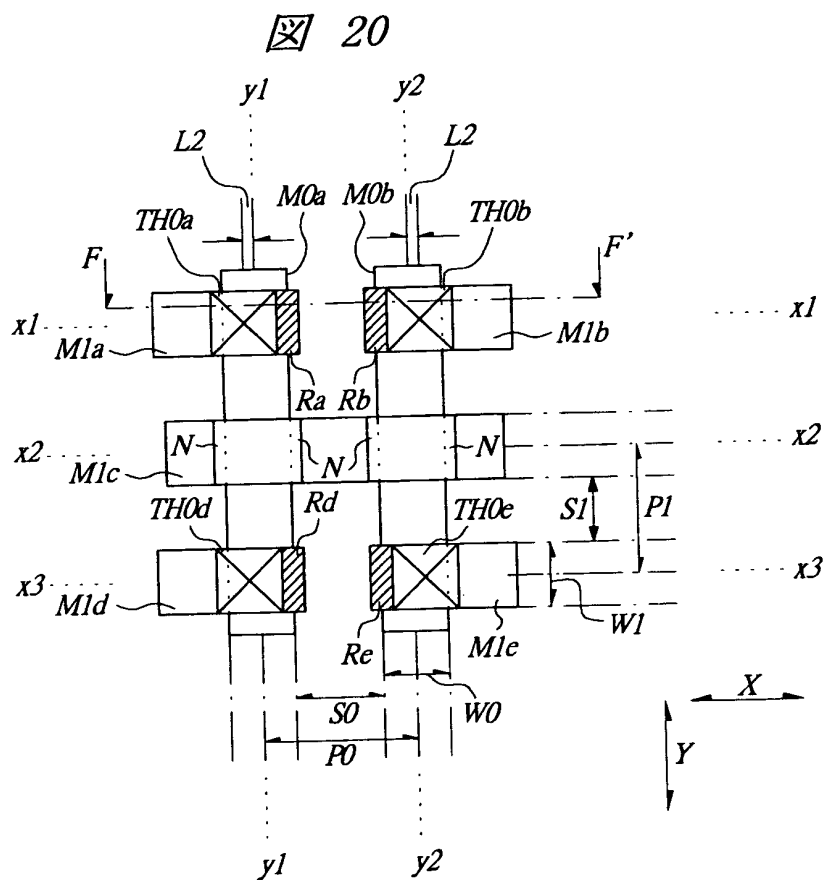
図 18



【図 1 9】

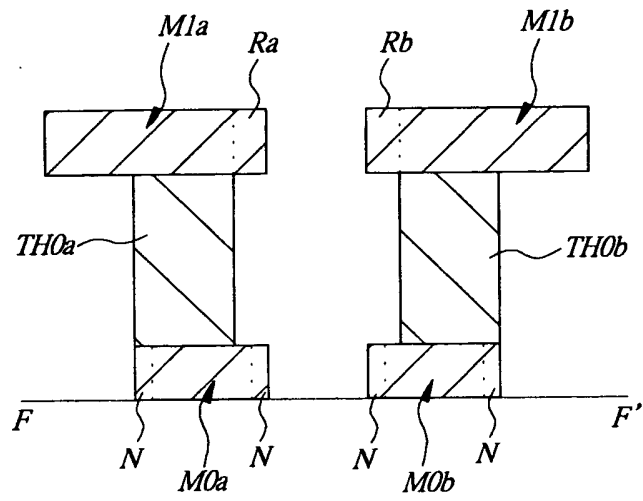


【図 20】



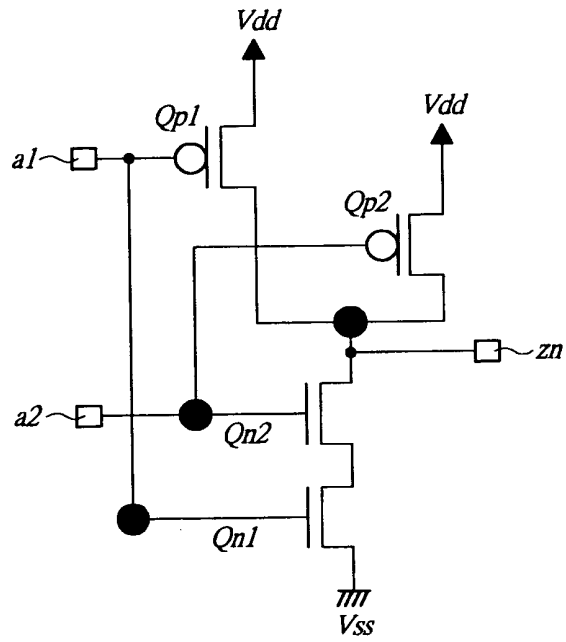
【図 2 1】

図 21



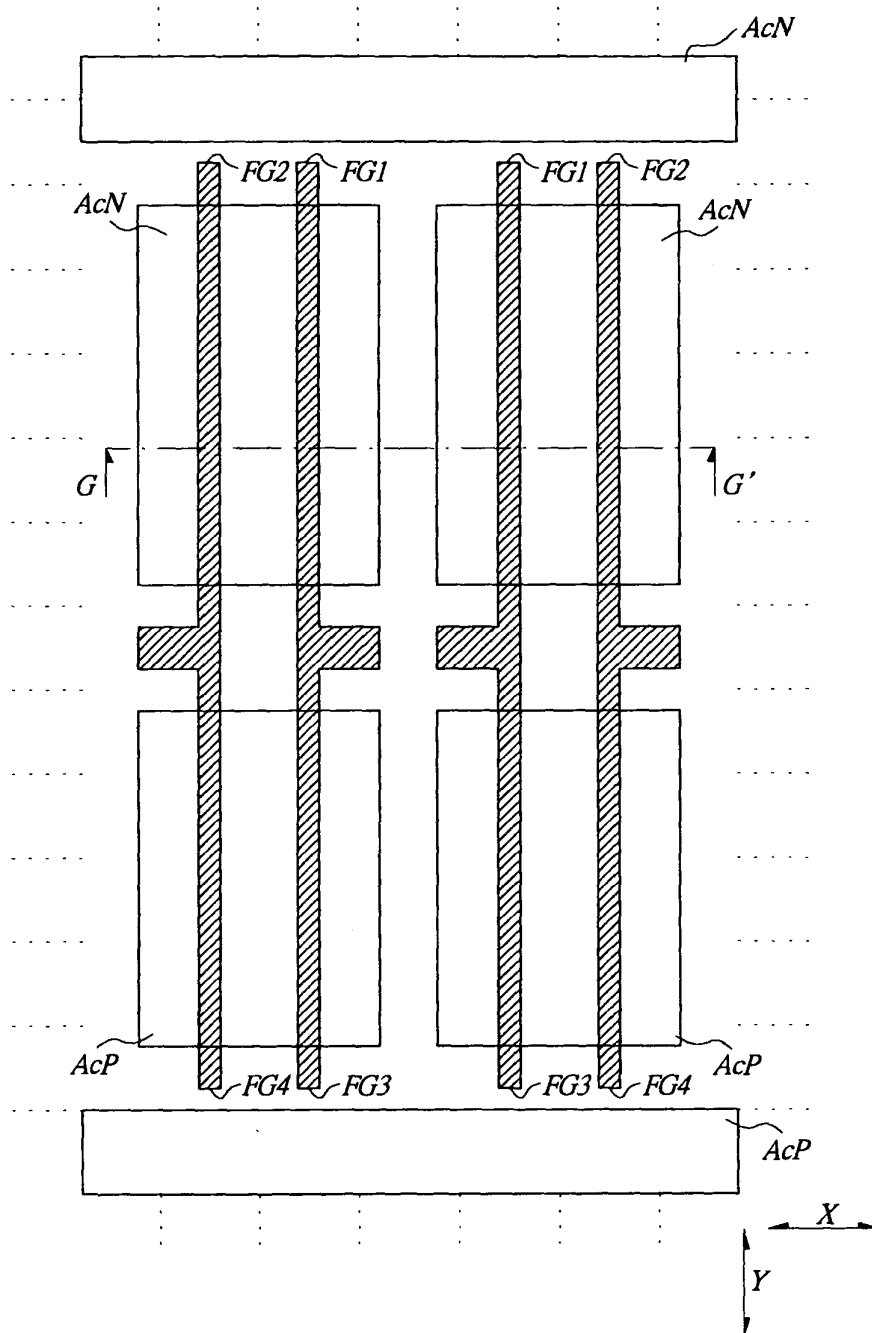
【図 22】

図 22



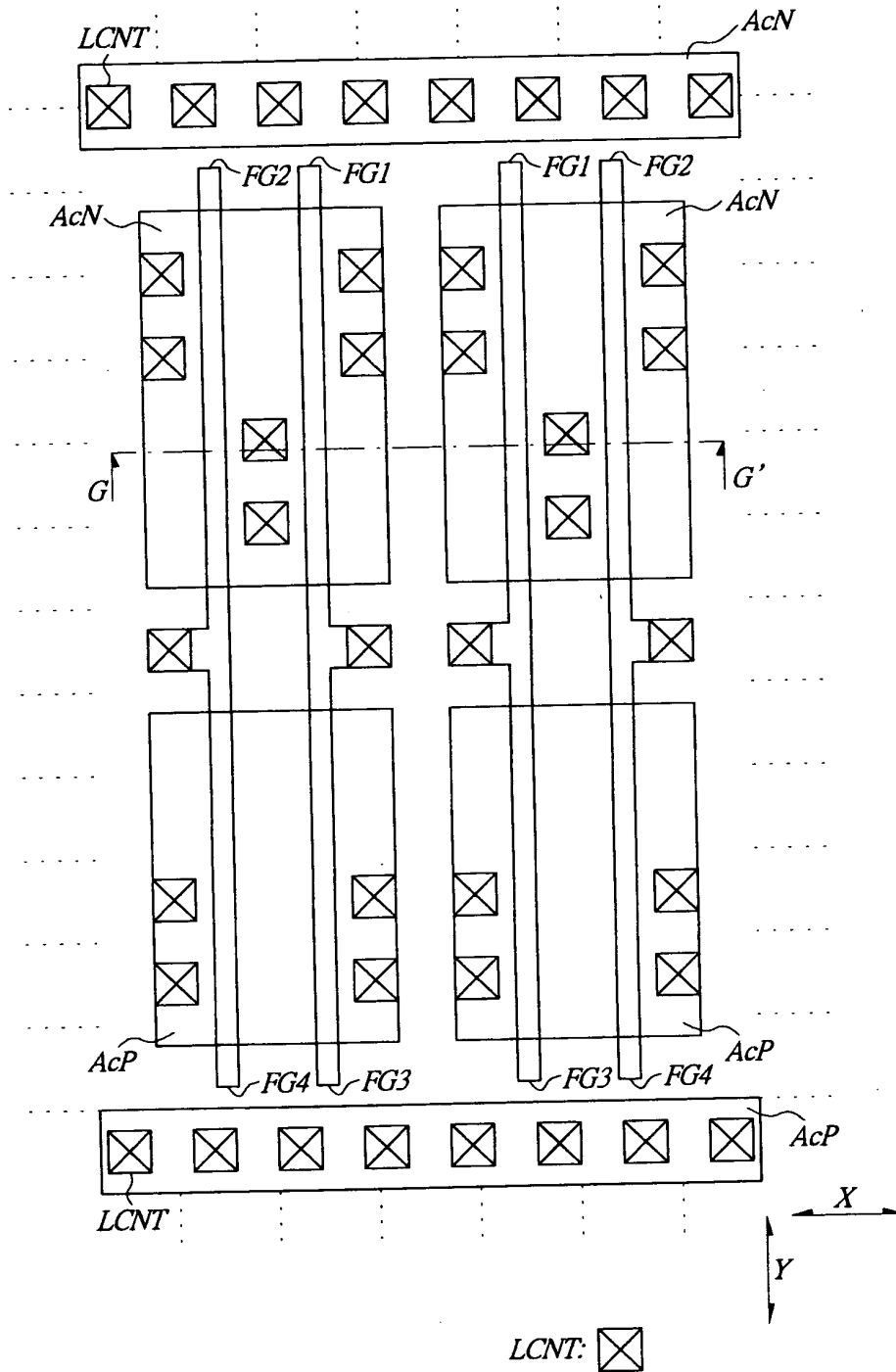
【図 23】

図 23



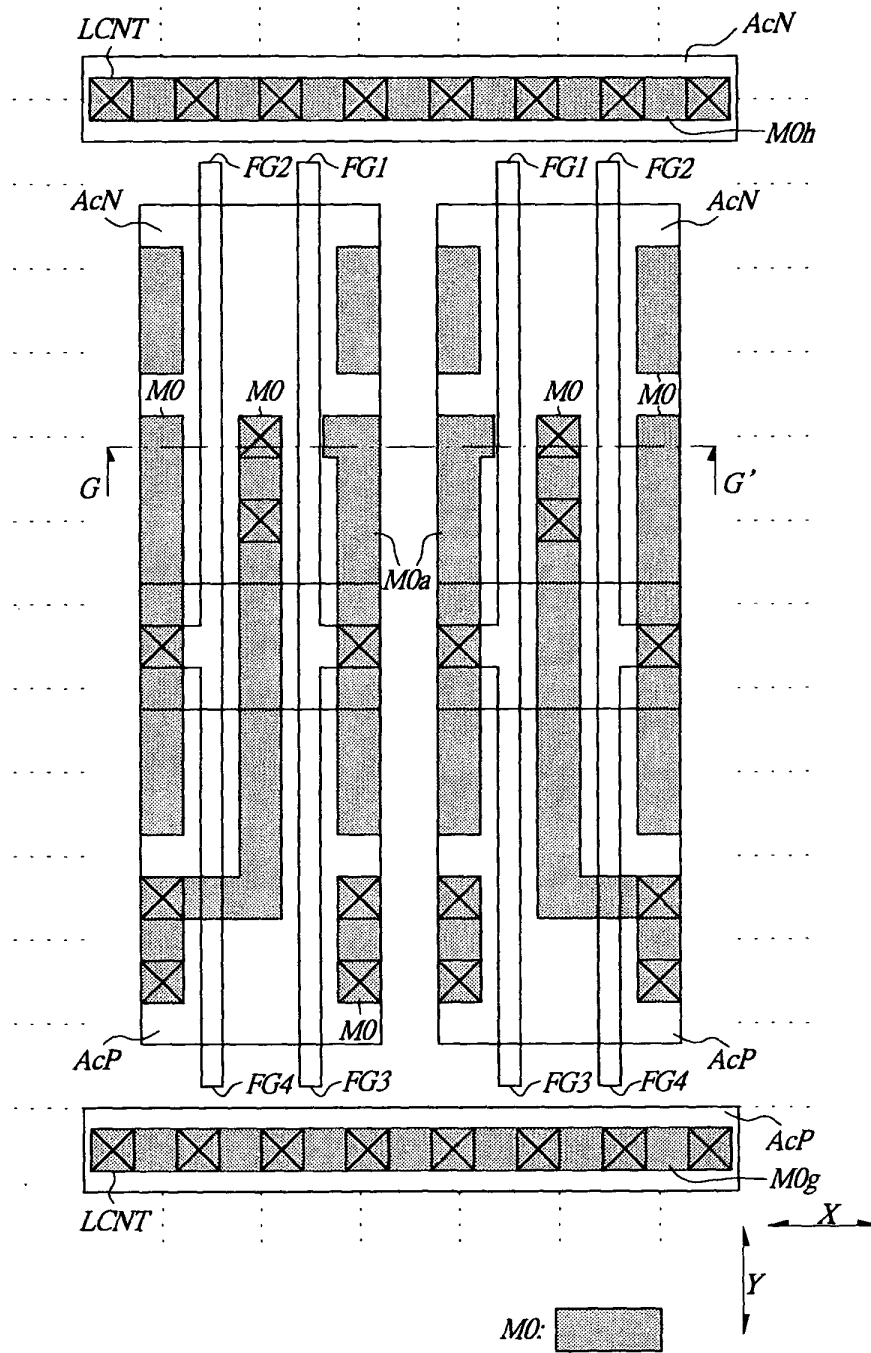
【図 24】

図 24



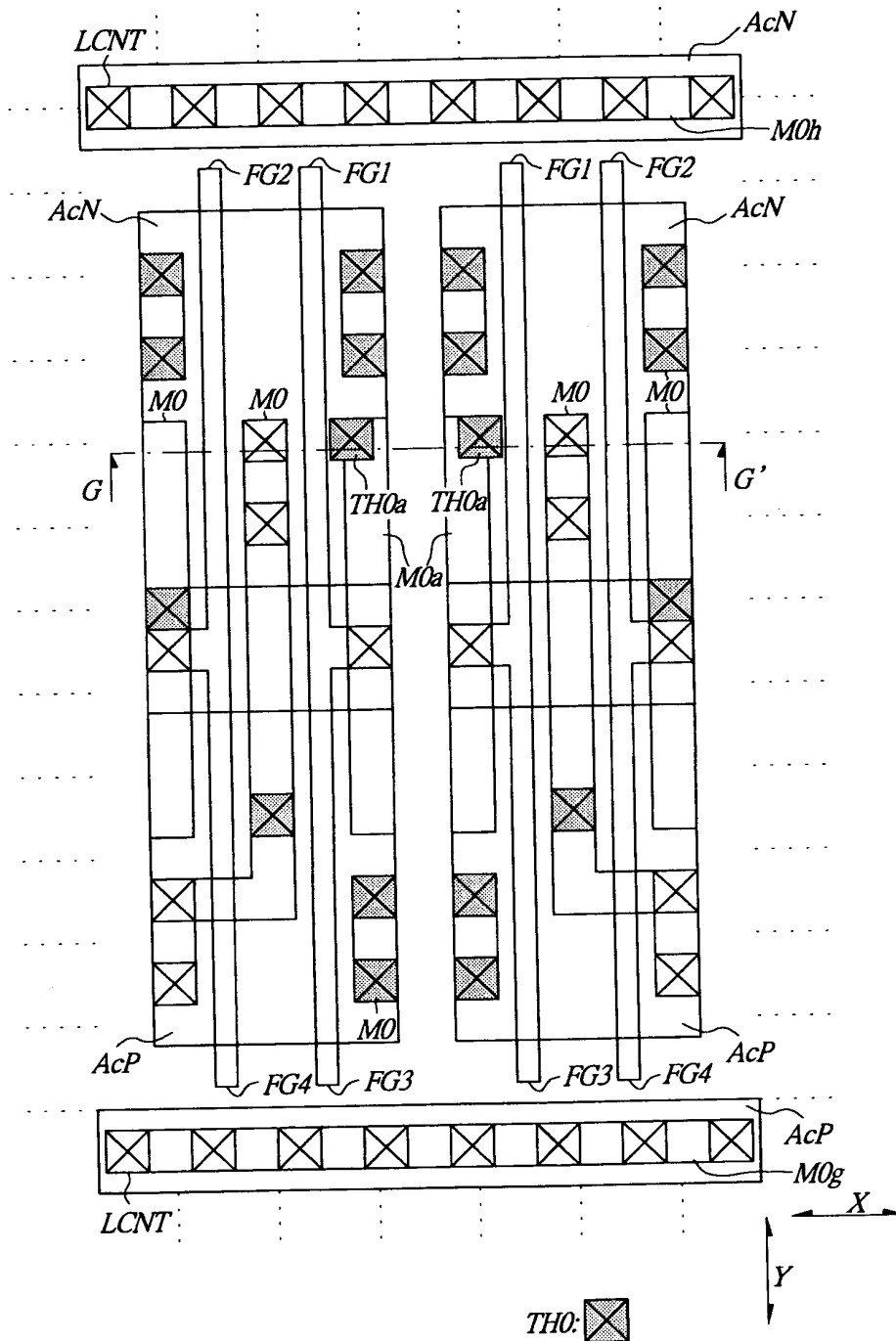
【図 25】

図 25

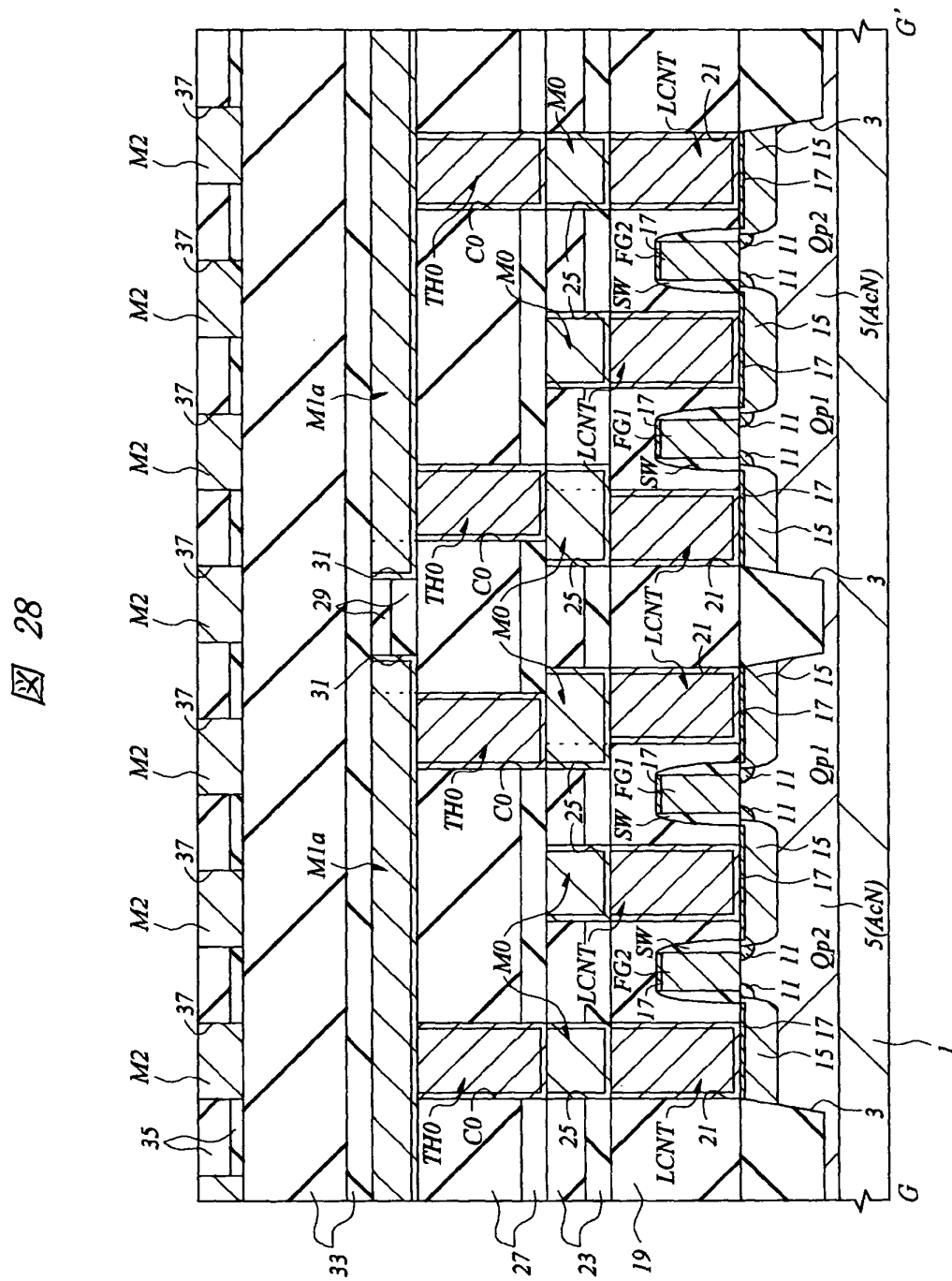


【図 26】

図 26

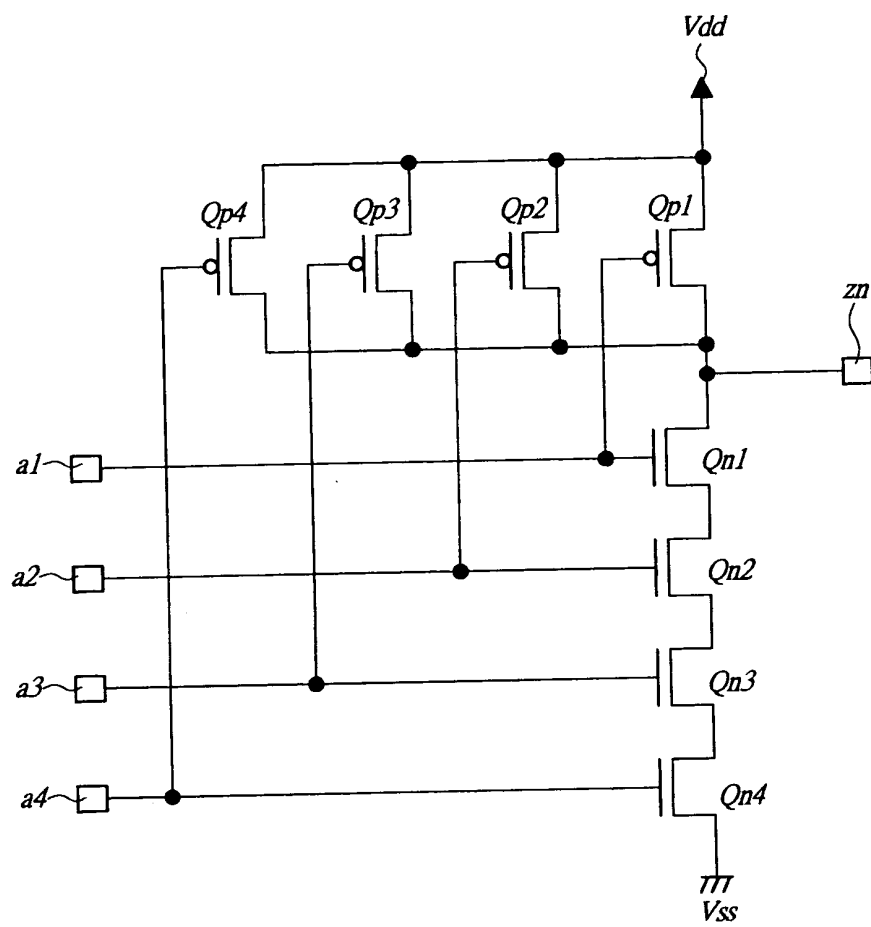


【図 28】



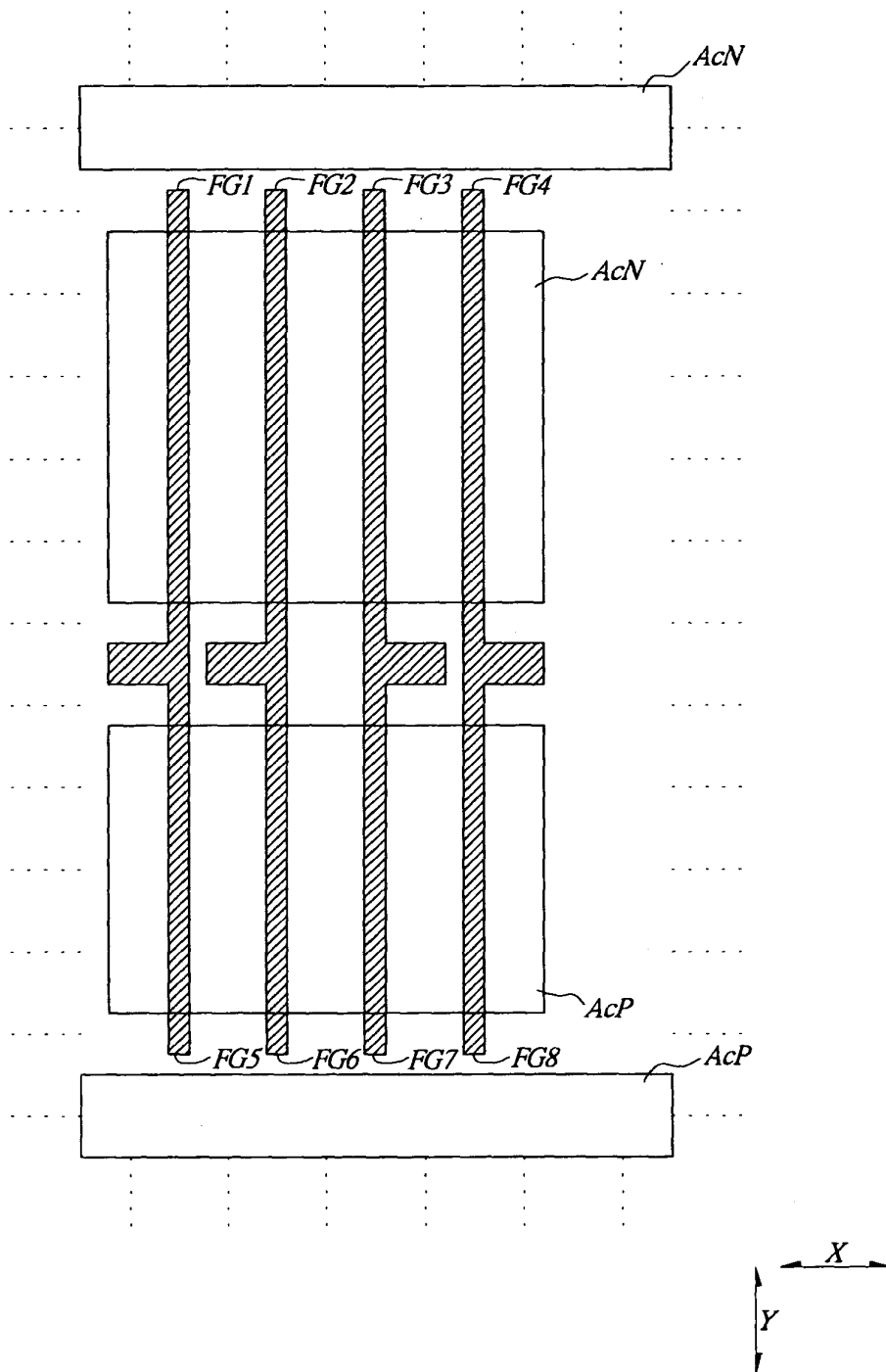
【図 2 9】

図 29



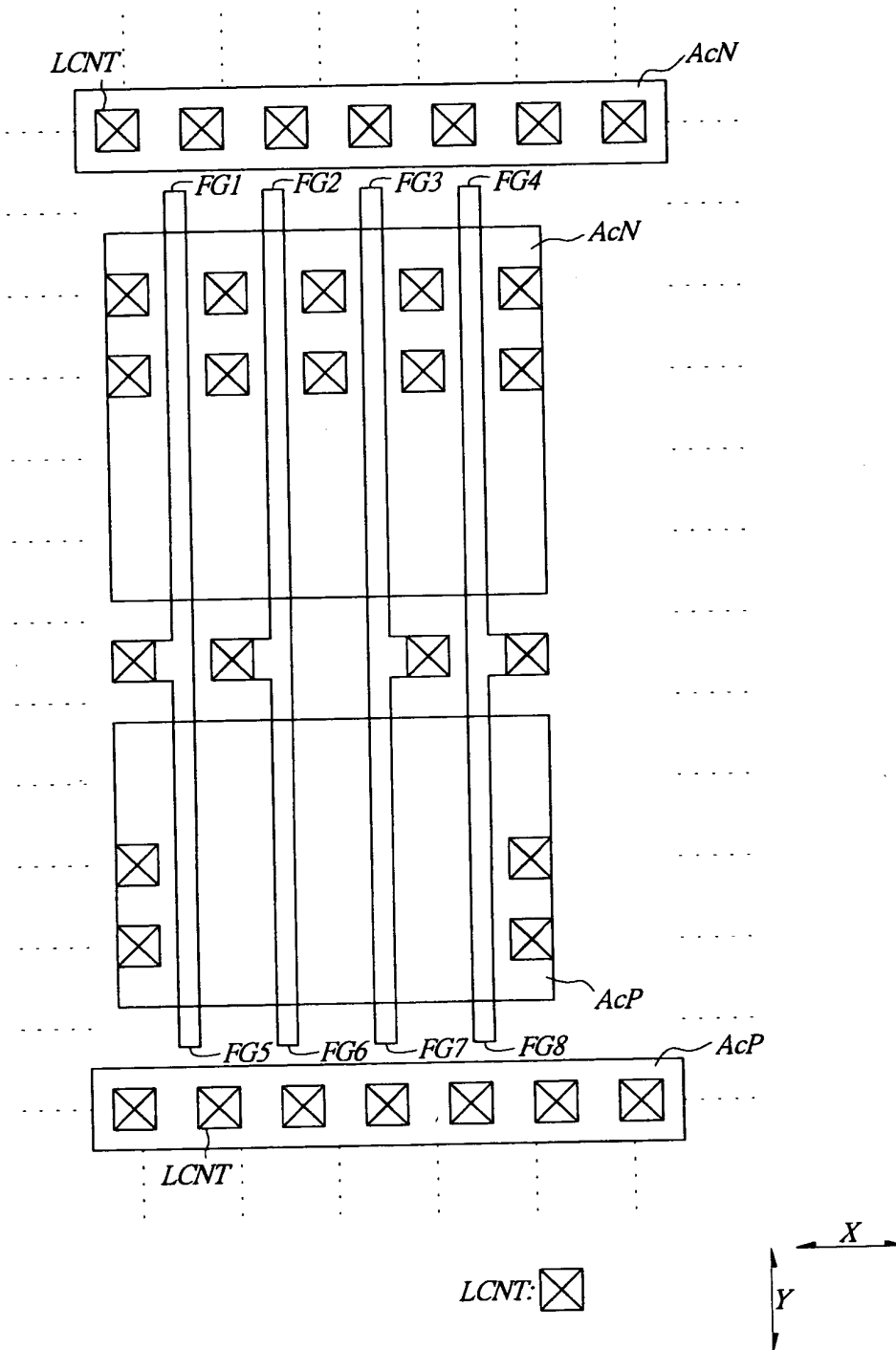
【図 30】

図 30



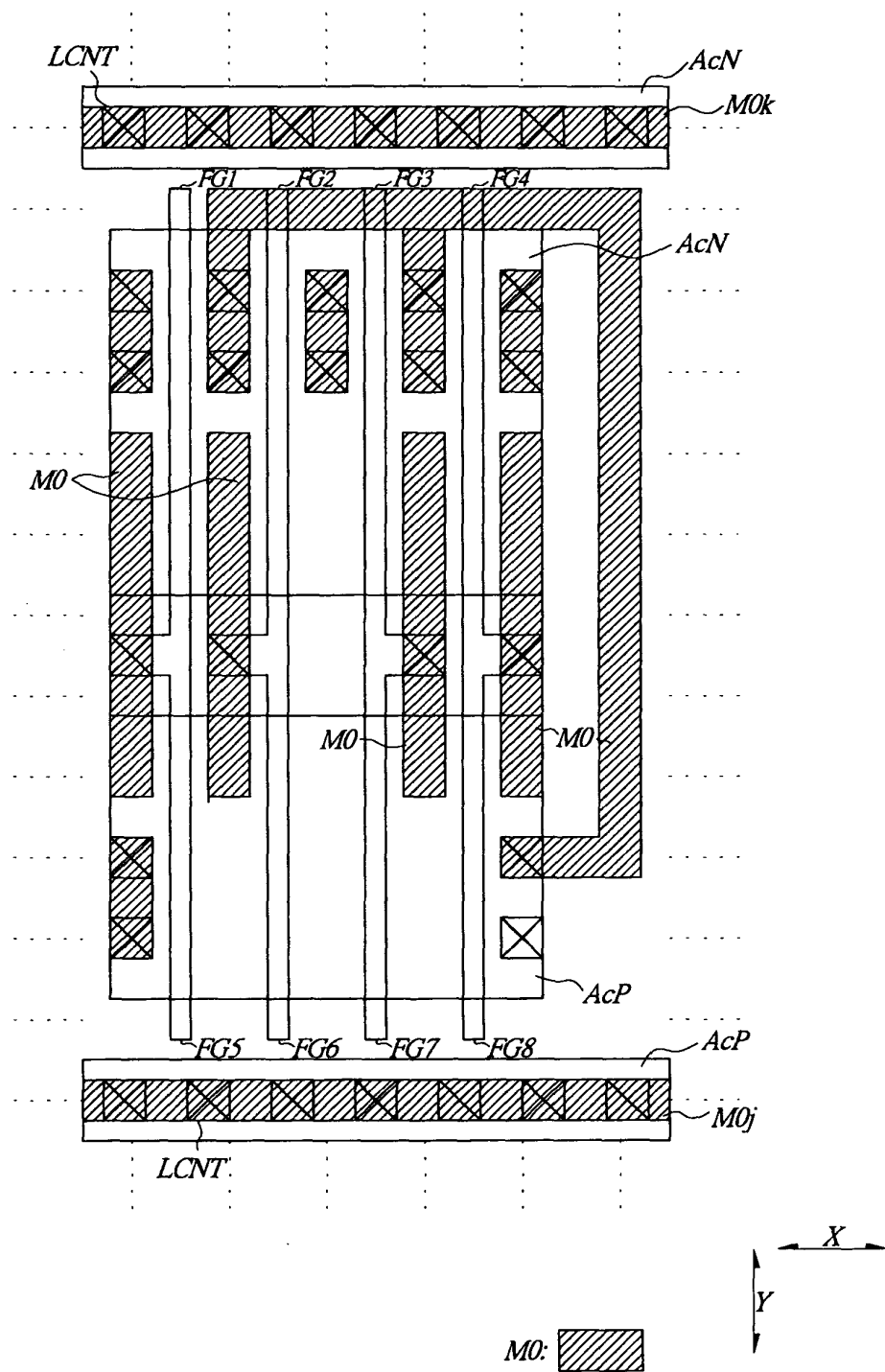
【図 31】

図 31



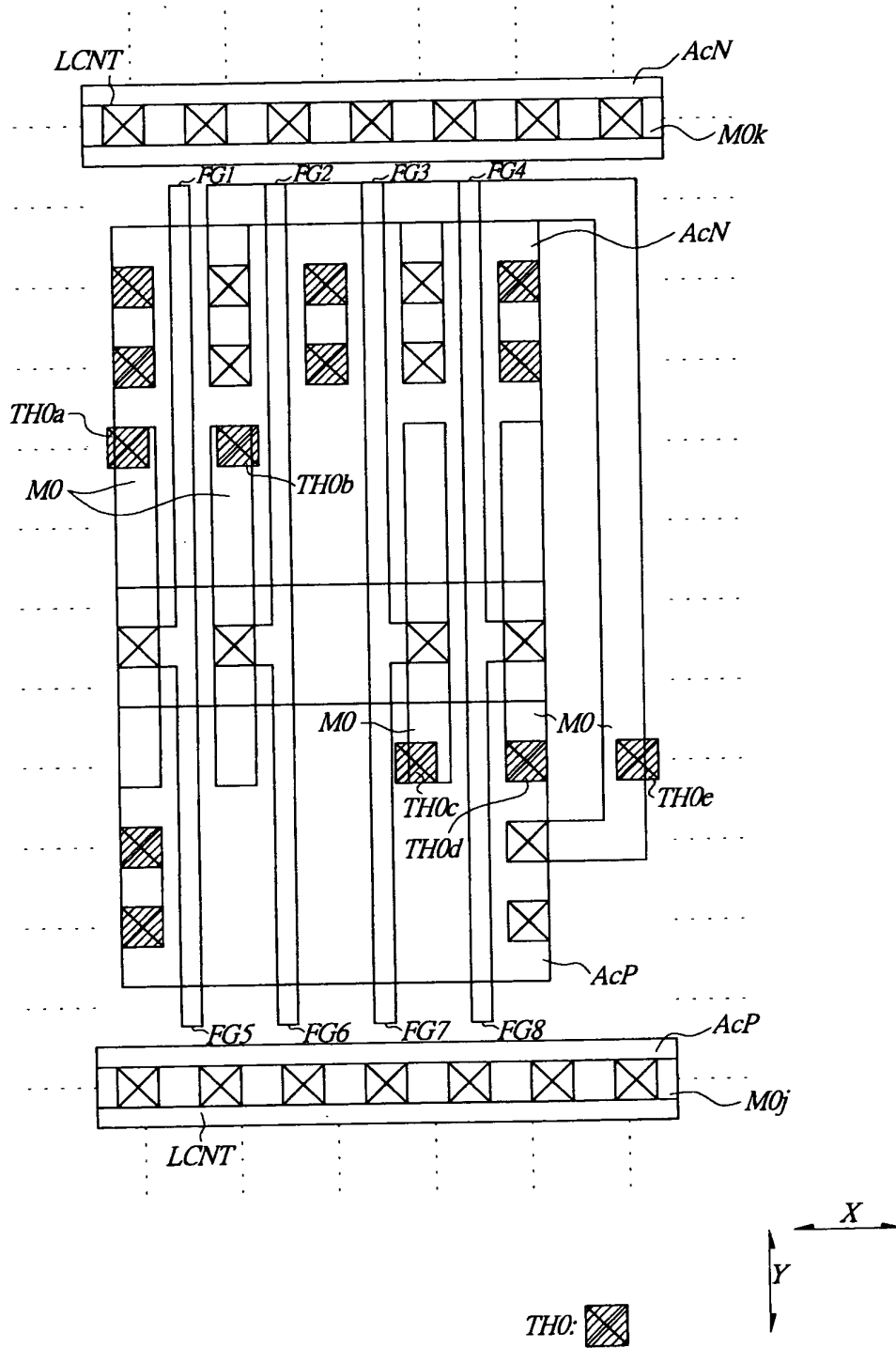
【図 32】

図 32



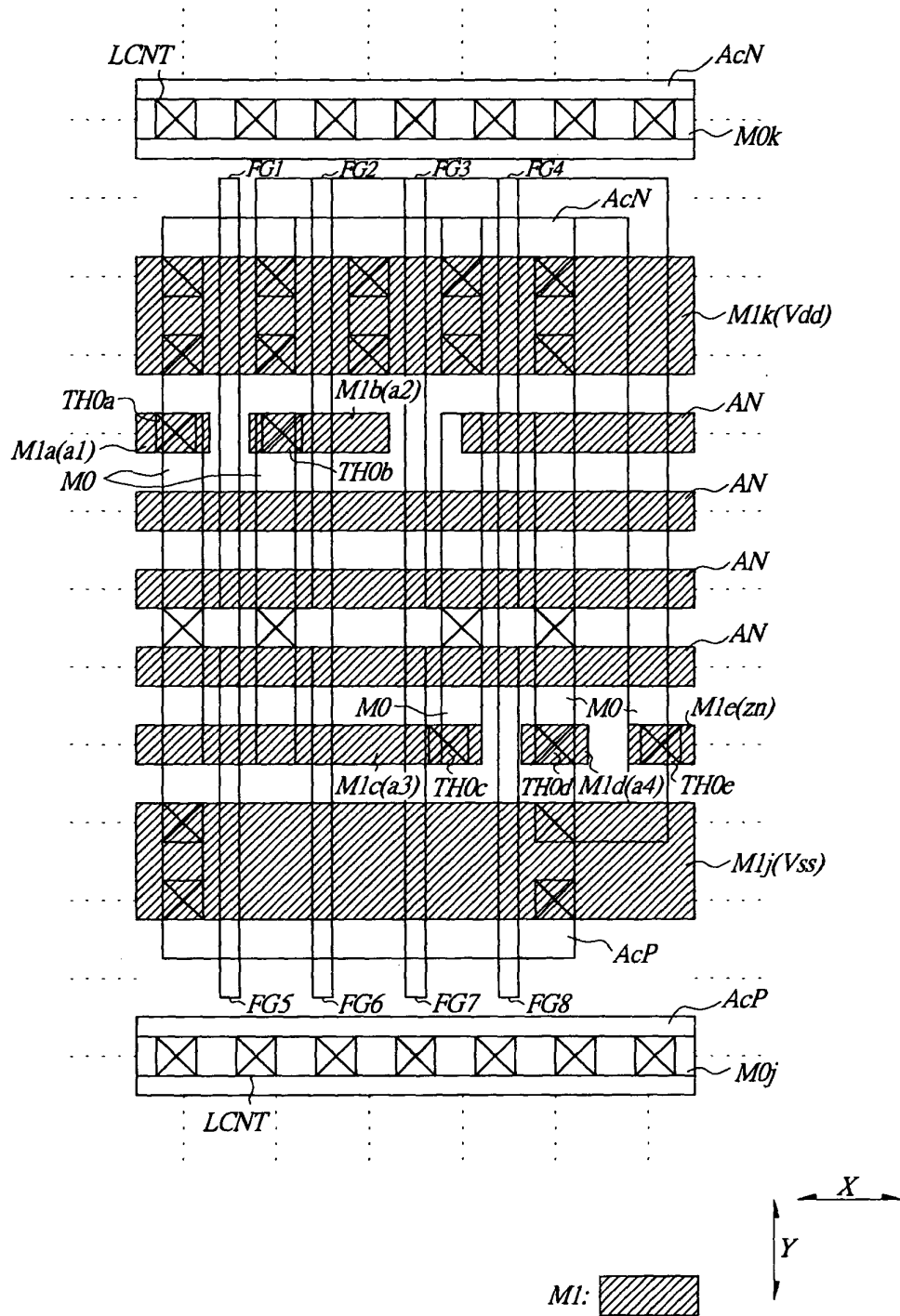
【図 33】

図 33



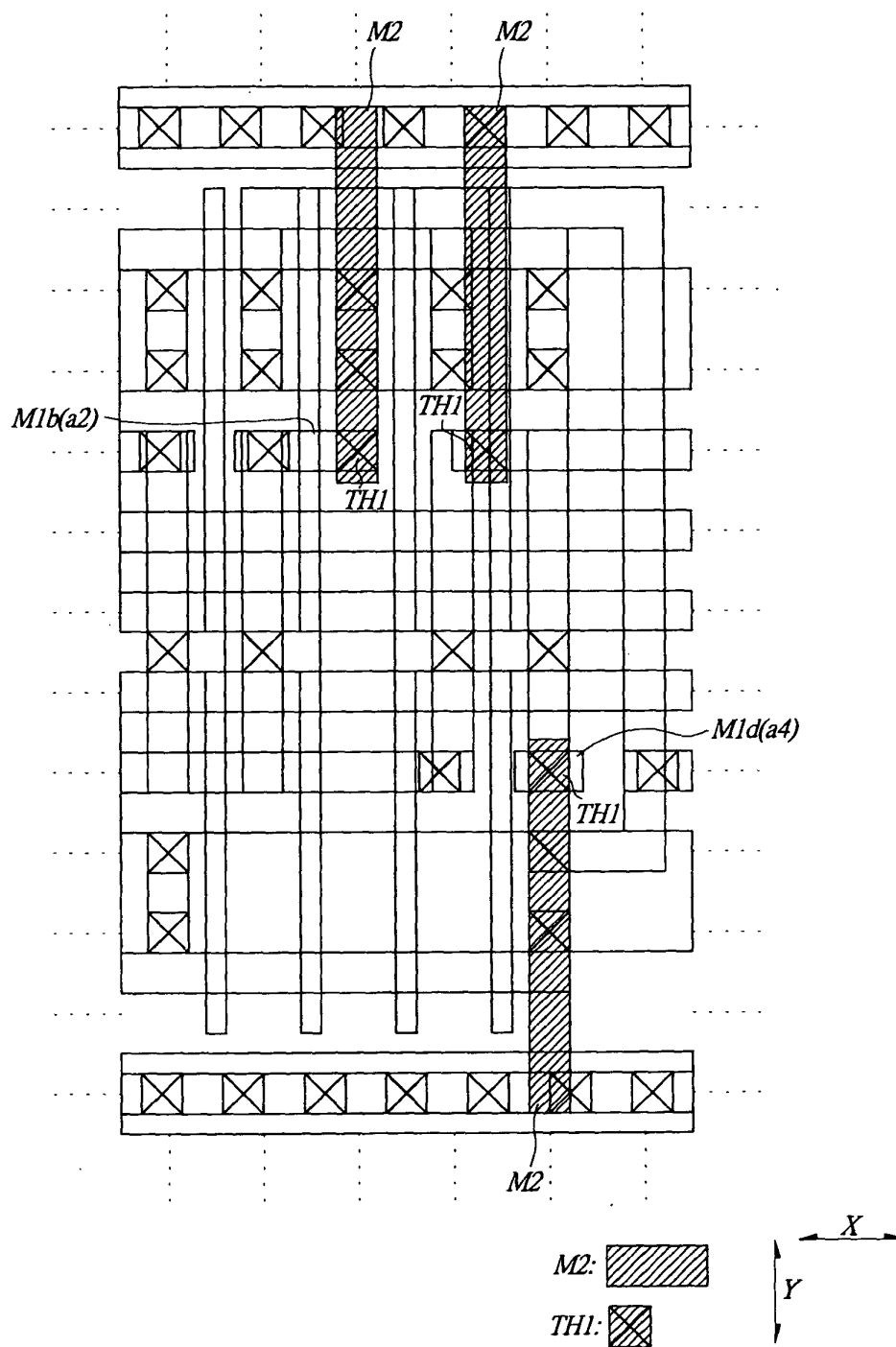
【図 34】

図 34



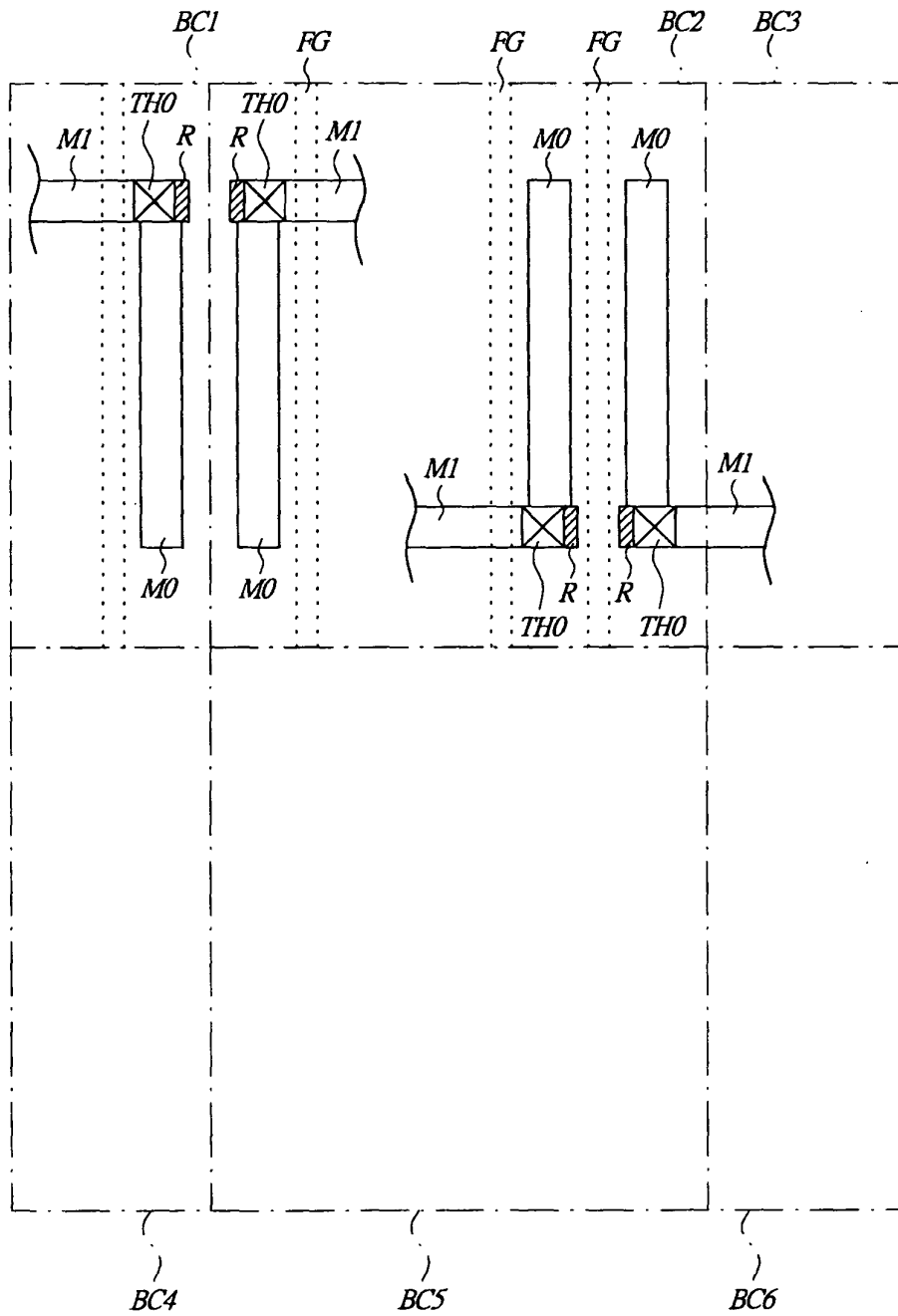
【図 35】

図 35

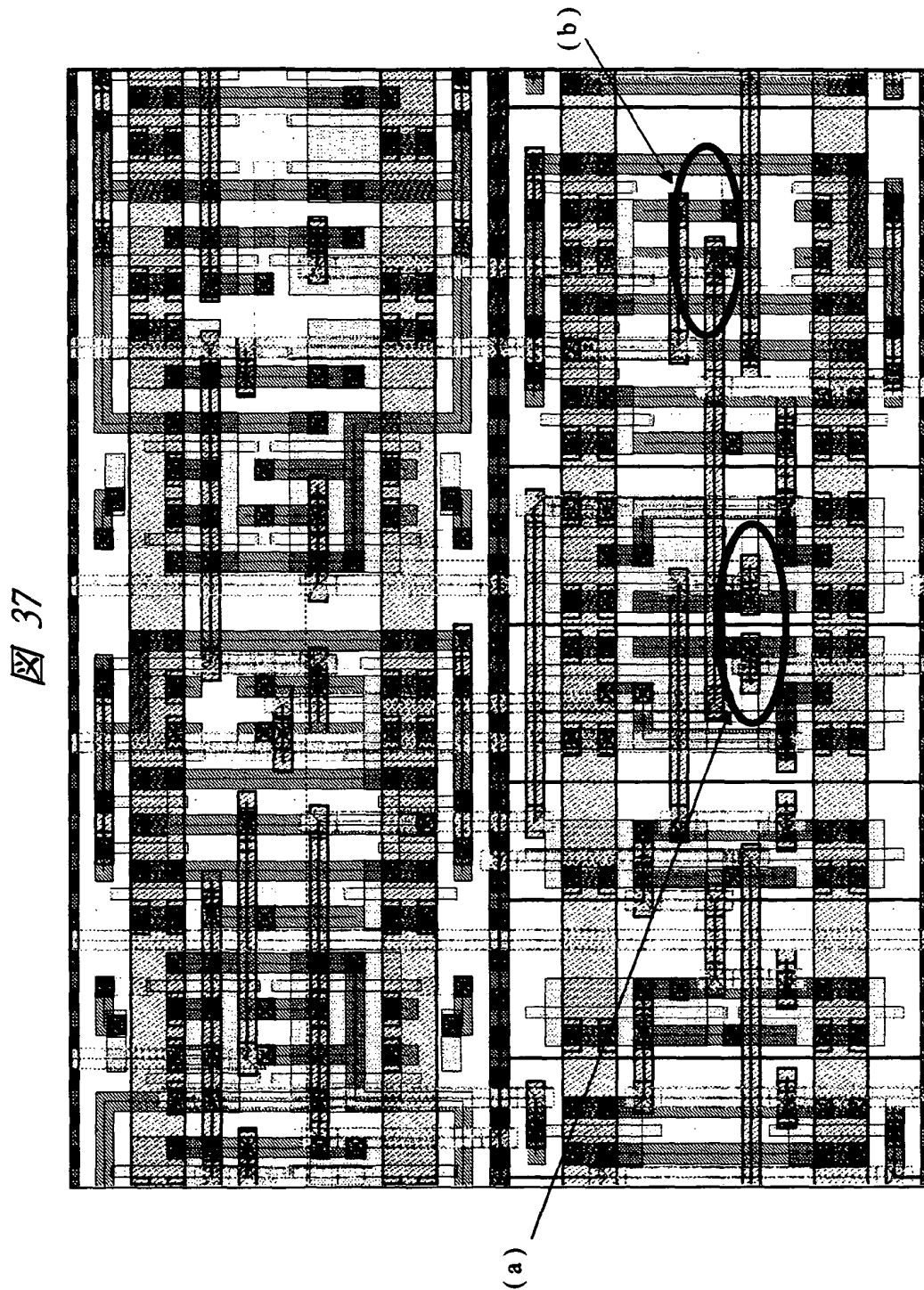


【図 36】

図 36

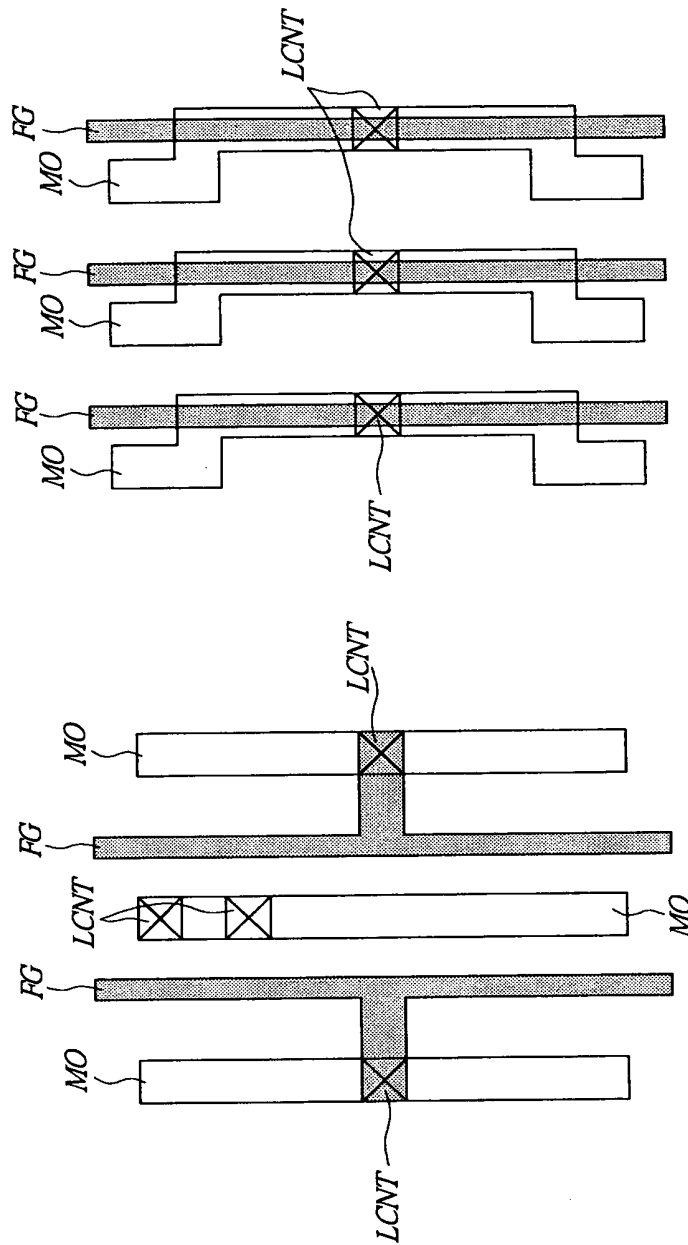


【図 37】



【図 38】

図 38



【書類名】 要約書

【要約】

【課題】 配線の実装効率を向上し、また、配線間の接続精度を向上する。

【解決手段】 Y方向に延在するグリッド y_1 、 y_2 に沿って第0層配線 $M0a$ および $M0b$ を配置し、これらの配線の上部に、X方向に延在するグリッド x_1 に沿って第1層配線 $M1a$ および $M1b$ を配置し、これらを接続部 $TH0a$ および $TH0b$ を介して電氣的に接続する際、接続部 $TH0b$ をグリッド y_2 と x_1 の交点から距離 L_1 だけ右側にずれて配置し、第1層配線 $M1a$ および $M1b$ にリザーバ Ra 、 Rb の形成領域を確保し、ずらした接続部 $TH0b$ 下の第0層配線 $M0b$ には、ノッチ（突出部）を設ける。その結果、リザーバ間の距離を確保でき、配線の実装効率を向上させ、また、配線間の接続精度を向上することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所